

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

1324.64383

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application)
Applicant: Nagase et al.)
Serial No.)
Filed: June 29, 2000)
For: LIQUID CRYSTAL DISPLAY)
Art Unit:)

*I hereby certify that this paper is being deposited with
the United States Postal Service as EXPRESS MAIL in
an envelope addressed to: Assistant Commissioner for
Patents, Washington, D.C. 20231, on June 29, 2000*
Express Label No.: EL409491991US
Signature: [Signature]
F-CLASS.WCM
Appr. February 20, 1998

#3
12-28-00
J. Actis
JC542 U.S. PTO
09/607104
06/29/00

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

Applicants claim foreign priority benefits under 35 U.S.C. § 119 on the basis
of the foreign application identified below:

Japanese Patent Application No. 11-244468, filed on August 31, 1999.

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By

[Signature]
Patrick G. Burns
Reg. No. 29,367

June 29, 2000
Sears Tower - Suite 8660
233 South Wacker Drive
Chicago, IL 60606
(312) 993-0080

P:\DATA\WP60\1324\64383\CLMPRIOR.WPD

Atty. Docket: 1324.64383
Atty. Phone: (302) 993-0080

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC542 U.S. PTO
09/607104
06/29/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 8 月 3 1 日

出 願 番 号

Application Number:

平成 1 1 年特許願第 2 4 4 4 6 8 号

出 願 人

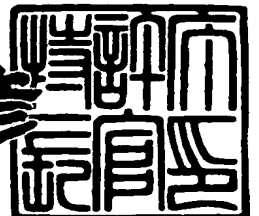
Applicant (s):

富士通株式会社

2 0 0 0 年 2 月 4 日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特 2 0 0 0 - 3 0 0 4 9 5 8

【書類名】 特許願

【整理番号】 9901288

【提出日】 平成11年 8月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/60
H01L 29/786

【発明の名称】 液晶表示装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 長瀬 洋二

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 田中 義規

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 藤川 徹也

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 那須 安宏

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100101214

【弁理士】

【氏名又は名称】 森岡 正樹

【手数料の表示】

【予納台帳番号】 047762

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905855

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】

複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、前記複数のバスラインに接続されたショートリングと、前記複数のバスラインのそれぞれと前記ショートリングとの間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、

前記静電気保護素子部は、

前記バスラインに接続されるソース／ドレイン電極と、前記ショートリングに接続されるドレイン／ソース電極とを有する薄膜トランジスタと、

前記薄膜トランジスタのゲート電極を前記バスラインに接続する第 1 の抵抗体と、

前記薄膜トランジスタの前記ゲート電極を前記ショートリングに接続する第 2 の抵抗体と

を備えていることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 記載の液晶表示装置において、

前記第 2 の抵抗体は、複数の前記薄膜トランジスタの前記ゲート電極を前記ショートリングに接続する共用抵抗体であること

を特徴とする液晶表示装置。

【請求項 3】

複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、隣接する前記バスライン間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、

前記静電気保護素子部は、

隣接する前記バスラインの一方に接続されるソース／ドレイン電極と、前記バスラインの他方に接続されるドレイン／ソース電極とを有する薄膜トランジスタと、

前記薄膜トランジスタのゲート電極を前記バスラインの一方に接続する第 1 の抵抗体と、

前記薄膜トランジスタの前記ゲート電極を前記バスラインの他方に接続する第 2 の抵抗体と

を備えていることを特徴とする液晶表示装置。

【請求項 4】

複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、前記複数のバスラインに接続されたショートリングと、前記複数のバスラインのそれぞれと前記ショートリングとの間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、

前記静電気保護素子部は、

前記バスラインに接続されるソース／ドレイン電極と、前記ショートリングに接続されるドレイン／ソース電極とを有する第 1 の薄膜トランジスタと、

前記第 1 の薄膜トランジスタのゲート電極に接続された導電体と、

前記バスラインに接続されたソース／ドレイン電極と、前記導電体に接続されたドレイン／ソース電極と、電氣的に孤立しているゲート電極とを有する第 2 の薄膜トランジスタと、

前記ショートリングに接続されたソース／ドレイン電極と、前記導電体に接続されたドレイン／ソース電極と、電氣的に孤立しているゲート電極とを有する第 3 の薄膜トランジスタと

を備えていることを特徴とする液晶表示装置。

【請求項 5】

請求項 4 記載の液晶表示装置において、

前記第 3 の薄膜トランジスタは、複数の前記第 1 の薄膜トランジスタの前記ゲート電極を前記ショートリングに接続する共用トランジスタであること

を特徴とする液晶表示装置。

【請求項 6】

複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、隣接する前記バスライン間に形成された静電気保護素子部とを有するアクテ

ィブマトリクス型の液晶表示装置において、

前記静電気保護素子部は、

隣接する前記バスラインの一方に接続されるソース／ドレイン電極と、前記バスラインの他方に接続されるドレイン／ソース電極とを有する第 1 の薄膜トランジスタと、

前記第 1 の薄膜トランジスタのゲート電極に接続された導電体と、

前記バスラインの一方に接続されたソース／ドレイン電極と、前記導電体に接続されたドレイン／ソース電極と、電氣的に孤立しているゲート電極とを有する第 2 の薄膜トランジスタと、

前記バスラインの他方に接続されたソース／ドレイン電極と、前記導電体に接続されたドレイン／ソース電極と、電氣的に孤立しているゲート電極とを有する第 3 の薄膜トランジスタと

を備えていることを特徴とする液晶表示装置。

【請求項 7】

請求項 4 乃至 6 のいずれか 1 項に記載の液晶表示装置において、

前記第 1 の薄膜トランジスタのゲート電極は、前記導電体と容量を介して接続されていること

を特徴とする液晶表示装置。

【請求項 8】

請求項 4 乃至 7 のいずれか 1 項に記載の液晶表示装置において、

前記第 2 及び第 3 の薄膜トランジスタの少なくとも一方のチャンネル長は、前記第 1 の薄膜トランジスタのチャンネル長より短いこと

を特徴とする液晶表示装置。

【請求項 9】

複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、前記複数のバスラインに接続されたショートリングと、前記複数のバスラインのそれぞれと前記ショートリングとの間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、

前記静電気保護素子部は、

複数の金属層と、
前記複数の金属層上に形成された絶縁層と、
前記複数の金属層上の前記絶縁層を開口して形成したコンタクトホールと、
前記コンタクトホールを介して前記金属層間を電氣的に接続する接続層と
を有していることを特徴とする液晶表示装置。

【請求項 1 0】

複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子
と、隣接する前記バスライン間に形成された静電気保護素子部とを有するアクテ
ィブマトリクス型の液晶表示装置において、

前記静電気保護素子部は、
複数の金属層と、
前記複数の金属層上に形成された絶縁層と、
前記複数の金属層上の前記絶縁層を開口して形成したコンタクトホールと、
前記コンタクトホールを介して前記金属層間を電氣的に接続する接続層と
を有していることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（Thin Film Transistor：
以下、T F Tという）をスイッチング素子として備えたアクティブマトリクス型
の液晶表示装置（Liquid Crystal Display）に関し、特
に、アレイ側基板上に形成されたT F Tやバスライン間を静電気による破壊や短
絡から保護する静電気保護素子を備えた液晶表示装置に関する。

【0 0 0 2】

【従来の技術】

アクティブマトリクス型のL C Dは、優れた画像品質が得られるフラットパネ
ル・ディスプレイとしてコンピュータやO A機器等に多用されている。このアク
ティブマトリックス型のL C Dは、T F T及び画素電極が形成されたアレイ側基
板と共通電極が形成された対向基板との間に封止した液晶層に対して両電極から

電圧を印加して液晶を駆動するようになっている。

【 0 0 0 3 】

アレイ側基板上には、駆動する表示画素を選択するための走査信号が順次入力される複数のゲートバスラインが互いに平行に形成されている。また、複数のゲートバスライン上には絶縁膜が形成され、絶縁膜上にはゲートバスラインにほぼ直交する複数のデータバスラインが形成されている。互いに直交する複数のゲートバスラインとデータバスラインとでマトリクス状に画定される各領域が画素領域となり、各画素領域内には T F T と表示電極が形成されている。T F T のゲート電極は所定のゲートバスラインに接続され、ドレイン電極は所定のデータバスラインに接続され、ソース電極は画素領域内の表示電極に接続されている。

【 0 0 0 4 】

ところで、T F T - L C D の液晶動作を制御する T F T やゲートバスライン、データバスライン等は絶縁物であるガラス基板の上に形成されるため基本的に静電気に弱い。従って、T F T を作り込むアレイ側基板工程からアレイ側基板と対向基板とを張り合わせて液晶を封止しドライバ I C 等を搭載させるパネル工程までの間でアレイ側基板上に静電気が発生すると、T F T が破壊されたりその特性が変動してしまったり、あるいは各バスライン間が短絡したりする不具合が生じてパネルの製造歩留まりが著しく低下してしまう。このため、アレイ側基板上の素子やバスラインを静電気から保護する確実な手段が必要になる。

【 0 0 0 5 】

アレイ側基板を静電気から保護する手段として、例えば、バスラインを全て共通電極（ショートリング）に接続して同電位に保つ手法が知られている。ショートリングは、データバスラインあるいはゲートバスラインの形成時にこれらの形成材料で形成される。このため、数 $k \Omega$ 以下の抵抗値で各バスラインが電氣的に接続される。従って、パネル上の特定箇所に帯電があっても瞬時に電荷分散が生じるため、表示部内の T F T の素子破壊もしくは特性変化を防止することができる。

【 0 0 0 6 】

しかし、この方法では各バスライン同士が短絡されてしまうためバスラインご

とに独立の信号を印加することができない。このため、表示パネルの画素電極と共通（コモン）電極間に電荷を保持させて、そのチャージング量を検出して各画素のTFTの特性試験を高精度で行うアレイ検査（TFT検査）ができなくなるという問題が生じる。また、ショートリングは隣接するバスラインを低抵抗で電氣的に接続するためパネル工程もしくはパネル完成以降のユニット組み立て工程において除去する必要がある、それ以降の工程では静電気対策が施されないという問題がある。

【0007】

そこで、ショートリングと各バスライン間に抵抗成分を設ける方法が考案されている。図28は、特開平8-101397号公報に開示されたバスラインとショートリングとの間に抵抗成分を接続した従来技術の説明図である。図28はアレイ側基板表面の一部を示しており、バスライン504端部にはゲートメタルあるいはドレインメタル上に形成されたITO（インジウム・ティン・オキサイド）をパターニングして蛇行した抵抗層400が形成されている。蛇行した抵抗層400の先端はショートリング506に接続されている。この構造によりアレイ検査が可能になる。通常この抵抗層400及びショートリング506は、パネル組み立て時のパネルスクライブ工程において、図中破線で示したスクライブラインSLを切断することにより除去される。

【0008】

ところがこの方法は、ITOで高抵抗化を図るには蛇行距離を長くするための領域を確保する必要がある、このためパネル外形サイズが大きくなってしまいう問題がある。

【0009】

上記方法のほか、バスラインとショートリングとの間にトランジスタ等による静電気保護素子を挿入するという方法が考案されている。たとえば特開昭61-79259号公報にはゲート電極をソース／ドレイン電極と容量結合させる方法が示されている。

【0010】

図29は特開昭61-79259号に示されている従来技術の説明図である。

図 29 (a) は、アレイ側基板の一部を基板面に向かって見た状態を示しており、図 29 (b) は、静電気保護素子の断面を示している。図 29 (a) に示すように、静電気保護素子 500 は、バスライン 502 端部の外部取り出し電極 504 とショートリング 506 との間に配された T F T 構造を有している。静電気保護素子 500 はガラス基板 508 上の画素領域に形成される T F T と同一工程で形成される。図 29 (b) に示すように、ガラス基板 508 上にゲート電極 510 が形成され、ゲート電極 510 上にはゲート絶縁膜 512 を介して例えばアモルファスシリコン（以下、a-Si と略記する）からなる動作半導体層 514 が形成されている。動作半導体層 514 上には保護膜 520 が形成され、保護膜を挟んで動作半導体層 514 の両側には、ソース電極 518 とドレイン電極 516 が形成されている。ドレイン電極 516 はショートリング 506 に接続され、ソース電極 518 は外部取り出し電極 504 に接続されている。基板面方向に見て、ゲート電極 510 はソース／ドレイン電極 518、516 と平面的重なりを有しており、ソース／ドレイン電極 518、516 と容量結合によって接続されている。従ってソース／ドレイン電極 518、516 間に静電気による高電圧が発生した場合には、ゲート電極 510 はソース／ドレイン電極 518、516 間に生じる電位差の中間の電位になるため動作半導体層 514 にチャネルが形成され、静電気による電荷がバスライン 502 から開放される。

【0011】

しかし、この静電気保護素子 500 の構造は構成素子が 1 個であるため冗長性に乏しい。つまり、静電気による高電圧をただ 1 つの T F T で受け止めるため破壊されやすく、破壊によりバスライン 502 とショートリング 506 との間が絶縁されてしまうと、画素領域の T F T が静電気に曝される可能性が高くなってしまう。また仮に静電気による異常が発生しなくても何らかの原因で静電気保護素子 500 が短絡してしまうと T F T 試験が行えなくなってしまう。

【0012】

次に、図 29 に示した構成より冗長性を持たせた、特開平 10-303431 号公報に開示された静電気保護回路について図 30 を用いて説明する。静電気保護素子である第 1 の T F T 530 のソース電極 (S) はバスラインの外部取り出

し電極 5 0 2 に接続されており、他方のドレイン電極 (D) はショートリング 5 0 6 に接続されている。第 1 の T F T 5 3 0 のゲート電極 (G) はバスライン外部取り出し電極 5 0 2 とショートリング 5 0 6 のいずれとも電氣的に絶縁された導電体 5 3 6 に接続されている。一方、第 2 の T F T 5 3 2 のソース電極 (S) 及びゲート電極 (G) はバスラインの外部取り出し電極 5 0 2 に接続されており、他方のドレイン電極 (D) は導電体 5 3 6 に接続されている。また、第 3 の T F T 5 3 4 のドレイン電極 (D) は導電体 5 3 6 に接続されており、他方のソース電極 (S) およびゲート電極 (G) はショートリング 5 0 6 に接続されている。静電気によって、ショートリング 5 0 6 に対して正の高電圧がバスラインに発生した場合、第 2 の T F T 5 3 2 ではゲート電極 (G) に高電圧が印加されてチャネルが形成されるため導電率が急激に大きくなる。一方、第 3 の T F T 5 3 4 のゲート電極 (G) はショートリング 5 0 6 に接続されているため、チャネルが形成されることはなく、導電率は非常に小さいままである。この導電率の差は非常に大きく、従って導電体 5 3 6 の電位は、バスラインの電位とほぼ等しくなる。この結果、静電気保護素子である第 1 の T F T 5 3 0 のゲート電極にはバスラインとショートリング 5 0 6 との間の電圧が印加されてチャネルが形成され、電荷を開放することができる。なお、第 2 及び第 3 の T F T 5 3 2、5 3 4 は基本的に電流を流さず、第 1 の T F T 5 3 0 のゲート電位を制御するためだけに使われる。

【 0 0 1 3 】

このように上記静電気保護回路では、第 2 及び第 3 の T F T 5 3 2、5 3 4 のゲート電極 (G) がバスラインの外部取り出し電極 5 0 2 またはショートリング 5 0 6 に接続されているため、外部取り出し電極 5 0 2 及びショートリング 5 0 6 との間の電位差は即座に解消される。ところが、静電気によって発生した電圧が時間の経過と共に低くなると導電体 5 3 6 の電位も低くなって第 1 の T F T 5 3 0 の導電率が低下する。このため、静電気による電圧が比較的低い (～数ボルト) 状態では電荷の解放の効率が低下してしまう。

【 0 0 1 4 】

また、これまでの製造上の経験から静電気による障害の発生は、非常に高い電

圧レベルで時間的には短い鋭いパルス状の静電気による場合と、電圧は比較的低くても長時間に渡って当該電圧を各素子に印加し続ける静電気による場合があることが分かっている。従って、特開平 1 0－3 0 3 4 3 1 号公報に記載された静電気保護回路は、前者の場合に対しては効果が期待できるが、後者の場合に対しては電圧がある程度低くなった時点で電流の逃げ道が断たれるため効果が殆ど期待できない。さらに上記公報に記載された静電気保護回路では、静電気による電流は全て第 1 の T F T を流れるため冗長性に乏しく、負荷が大きくなりすぎて第 1 の T F T が破壊されてしまう可能性を有している。また、第 2 の T F T 5 3 2 のゲート電極（G）がバスラインの外部取り出し電極 5 0 2 と直接接続され、第 3 の T F T 5 3 4 のゲート電極（G）がショートリング 5 0 6 と直接接続されているため、短絡に対する冗長性が低くなっている。

【 0 0 1 5 】

さらに他の従来の静電気保護回路として、図 3 1 に示す特開平 7－6 0 8 7 5 号公報に記載された構成がある。これは各バスライン 5 0 4 とショートリング 5 0 6 との間を非線型素子 4 0 2、4 0 4 を用いた双方向トランジスタによる抵抗成分を介して接続した静電気保護回路である。双方向トランジスタの他に抵抗成分となり得るショットキーダイオードのような非線型素子を介する場合もある。非線型素子による抵抗成分は各バスラインを駆動させる場合に影響しないように十分な高抵抗成分をもつためパネル完成後も残存させることができる。また静電気に対しては電荷分散が可能な程度の電流は流れるため耐静電気素子として機能する。

【 0 0 1 6 】

双方向トランジスタのような非線型素子で高抵抗成分を設ける方式では比較的狭い領域で高抵抗成分を形成することが可能であるが素子構造が複雑になり、その上非線型素子であるがため外部電荷（例えば静電気）により抵抗成分が変化するという電流制御面での問題が生じる。またガラス端面近傍のようなトランジスタの動作半導体膜の動作保証領域外では高抵抗成分を形成することができないため、マザーガラスに対してパネルサイズを大きくできないという問題がある。

【 0 0 1 7 】

【発明が解決しようとする課題】

このように従来の液晶表示装置では、パネル工程もしくはパネル完成以降のユニット組み立て工程でショートリングを除去する必要があるが、ショートリング除去以後の工程で静電気対策を施せないという問題が生じる。

また、ITOを用いた蛇行パターンを設ける方式では蛇行距離を長くするとパネル外形サイズが大きくなってしまいう問題がある。

【0 0 1 8】

さらに従来の液晶表示装置では、静電気による素子破壊を防止させるための静電気保護素子（回路）が冗長性に乏しくバスライン及びショートリング間が短絡し易かったり、比較的低い電圧が長時間発生する静電気に対しては保護回路として機能しないという問題を有している。

またさらに、高抵抗成分に双方向トランジスタのような非線型素子を用いると素子構造が複雑になると共に電流制御面でも不利になる。また非線形素子をガラス端面近傍に形成できないのでマザーガラスに対してパネルサイズを大きくできないという問題を有している。

【0 0 1 9】

本発明の目的は、冗長性に優れた静電気保護回路を備えた液晶表示装置を提供することにある。

また本発明の目的は、比較的低い電圧が長時間発生する静電気に対しても十分な保護機能を備えた液晶表示装置を提供することにある。

またさらに本発明の目的は、基板組立工程の最終段階まで静電気対策の施せる液晶表示装置を提供することにある。

さらに本発明の目的は、静電気保護素子部がパネルサイズに影響を与えない液晶表示装置を提供することにある。

またさらに本発明の目的は、素子構造が簡素で電流制御面で不利のない静電気保護素子部を有する液晶表示装置を提供することにある。

【0 0 2 0】

【課題を解決するための手段】

上記目的は、複数のバスラインで画定された複数の画素ごとに形成されたスイ

ッティング素子と、前記複数のバスラインに接続されたショートリングと、前記複数のバスラインのそれぞれと前記ショートリングとの間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、前記静電気保護素子部は、前記バスラインに接続されるソース／ドレイン電極と、前記ショートリングに接続されるドレイン／ソース電極とを有する薄膜トランジスタと、前記薄膜トランジスタのゲート電極を前記バスラインに接続する第 1 の抵抗体と、前記薄膜トランジスタの前記ゲート電極を前記ショートリングに接続する第 2 の抵抗体とを備えていることを特徴とする液晶表示装置によって達成される。

【 0 0 2 1 】

上記本発明の液晶表示装置において、前記第 2 の抵抗体が、複数の前記薄膜トランジスタの前記ゲート電極を前記ショートリングに接続する共用抵抗体であってもよい。

【 0 0 2 2 】

また上記目的は、複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、隣接する前記バスライン間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、前記静電気保護素子部は、隣接する前記バスラインの一方に接続されるソース／ドレイン電極と、前記バスラインの他方に接続されるドレイン／ソース電極とを有する薄膜トランジスタと、前記薄膜トランジスタのゲート電極を前記バスラインの一方に接続する第 1 の抵抗体と、前記薄膜トランジスタの前記ゲート電極を前記バスラインの他方に接続する第 2 の抵抗体とを備えていることを特徴とする液晶表示装置によって達成される。

【 0 0 2 3 】

またさらに上記目的は、複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、前記複数のバスラインに接続されたショートリングと、前記複数のバスラインのそれぞれと前記ショートリングとの間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、前記静電気保護素子部は、前記バスラインに接続されるソース／ドレイン電極と、前記ショートリングに接続されるドレイン／ソース電極とを有する第 1 の薄膜

トランジスタと、前記第 1 の薄膜トランジスタのゲート電極に接続された導電体と、前記バスラインに接続されたソース／ドレイン電極と、前記導電体に接続されたドレイン／ソース電極と、電氣的に孤立しているゲート電極とを有する第 2 の薄膜トランジスタと、前記ショートリングに接続されたソース／ドレイン電極と、前記導電体に接続されたドレイン／ソース電極と、電氣的に孤立しているゲート電極とを有する第 3 の薄膜トランジスタとを備えていることを特徴とする液晶表示装置によって達成される。

【 0 0 2 4 】

上記本発明の液晶表示装置において、前記第 3 の薄膜トランジスタが、複数の前記第 1 の薄膜トランジスタの前記ゲート電極を前記ショートリングに接続する共用トランジスタであってもよい。

【 0 0 2 5 】

さらに上記目的は、複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、隣接する前記バスライン間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、前記静電気保護素子部は、隣接する前記バスラインの一方に接続されるソース／ドレイン電極と、前記バスラインの他方に接続されるドレイン／ソース電極とを有する第 1 の薄膜トランジスタと、前記第 1 の薄膜トランジスタのゲート電極に接続された導電体と、前記バスラインの一方に接続されたソース／ドレイン電極と、前記導電体に接続されたドレイン／ソース電極と、電氣的に孤立しているゲート電極とを有する第 2 の薄膜トランジスタと、前記バスラインの他方に接続されたソース／ドレイン電極と、前記導電体に接続されたドレイン／ソース電極と、電氣的に孤立しているゲート電極とを有する第 3 の薄膜トランジスタとを備えていることを特徴とする液晶表示装置によって達成される。

【 0 0 2 6 】

上記本発明の液晶表示装置において、前記第 1 の薄膜トランジスタのゲート電極は、前記導電体と容量を介して接続されるようにすることも可能である。また、前記第 2 及び第 3 の薄膜トランジスタの少なくとも一方のチャネル長は、前記第 1 の薄膜トランジスタのチャネル長より短いことを特徴とすることもできる。

【 0 0 2 7 】

図 3 0 に示したような、第 2 及び第 3 の T F T 5 3 2、5 3 4 のゲート電極 (G) をそれぞれバスライン 5 0 2 とショートリング 5 0 6 に短絡させた従来の静電気保護回路では、実質的に第 2 及び第 3 の T F T 5 3 2、5 3 4 には電流が流れず、第 1 の T F T 5 3 0 のゲート電位を制御するためだけに用いられるのに対し、本発明の第 1 及び第 2 の抵抗体、あるいは第 2 及び第 3 の T F T はバスラインとショートリングとの間で双方向性の導電性を示し電流を流すことができる。このため主として電流を流すための第 1 の T F T が十分に導通する前から第 1 及び第 2 の抵抗体、あるいは第 2 及び第 3 の T F T で予備的に静電気による電荷を解放する機能を有している。すなわち、第 2、第 3 の T F T に予備的に電流が流れるため第 1 の T F T にかかる負荷を軽減することができるので静電気保護回路の冗長性が向上する。

また、本発明の第 1 の T F T のゲート電極は、容量を介してバスライン、ショートリングと接続されており、ゲート電極の電位はこれら容量の充放電に要する時間の分だけ緩やかに変化する。従って、本発明の構成によれば、緩やかな静電気に対しても十分対応することができる。第 1 の T F T のゲート電極と第 2、第 3 の T F T の間の共通導電体の間に容量を挿入させた場合はさらに全体としての反応が緩やかになり静電気保護素子としての効率が向上する。

【 0 0 2 8 】

また、図 3 0 に示した構成は、図 2 9 に示した構成より素子数が多く冗長性が向上しているが、例えば、第 2 の T F T 5 3 2 のゲート電極 (G) とドレイン電極 (D) が短絡し、且つ第 1 の T F T 5 3 0 のゲート電極 (G) とドレイン電極 (D) が短絡すると静電気保護回路としての機能は失われてしまう。同様に、第 3 の T F T 5 3 4 のゲート電極 (G) とドレイン電極 (D) が短絡し、且つ第 1 の T F T 5 3 0 のゲート電極 (G) とドレイン電極 (D) が短絡した場合、または、第 2 の T F T 5 3 2 のゲート電極 (G) とドレイン電極 (D) が短絡し、且つ第 3 の T F T 5 3 0 のゲート電極 (G) とドレイン電極 (D) が短絡した場合にも静電気保護回路としての機能は失われてしまう。つまり、図 3 0 に示した回路では上述のように回路中の素子の 2 カ所が短絡すると不具合を生じてしまう。

【 0 0 2 9 】

それに対し、例えば本実施の形態の図 3 を参照して説明すると、本発明による構成では、第 2 の T F T 3 8 のゲート電極 (G) とソース電極 (S) が短絡し、且つ第 2 の T F T 3 8 のゲート電極 (G) とドレイン電極 (D) が短絡し、且つ第 1 の T F T 3 2 のゲート電極 (G) とドレイン電極 (D) が短絡すると静電気保護回路としての機能が失われる。同様に、第 3 の T F T 4 0 のゲート電極 (G) とソース電極 (S) が短絡し、且つ第 3 の T F T 4 0 のゲート電極 (G) とドレイン電極 (D) が短絡し、且つ第 1 の T F T 3 2 のゲート電極 (G) とドレイン電極 (D) が短絡した場合、または、第 2 の T F T 3 8 のゲート電極 (G) とソース電極 (S) が短絡し、且つ第 2 の T F T 3 8 のゲート電極 (G) とドレイン電極 (D) が短絡し、且つ第 3 の T F T 4 0 のゲート電極 (G) とソース電極 (S) が短絡し、且つ第 3 の T F T 4 0 のゲート電極 (G) とドレイン電極 (D) が短絡した場合に静電気保護回路としての機能が失われる。つまり、図 3 に示す本発明の具体的回路では回路中の素子の 3 カ所以上が短絡して初めて静電気保護回路として機能しなくなる。このように、本発明による静電気保護回路はゲートがフローティングなので構成素子の短絡についての冗長性にも優れている。

【 0 0 3 0 】

また、上記目的は、複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、前記複数のバスラインに接続されたショートリングと、前記複数のバスラインのそれぞれと前記ショートリングとの間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、前記静電気保護素子部は、複数の金属層と、前記複数の金属層上に形成された絶縁層と、前記複数の金属層上の前記絶縁層を開口して形成したコンタクトホールと、前記コンタクトホールを介して前記金属層間を電氣的に接続する接続層とを有していることを特徴とする液晶表示装置によって達成される。

【 0 0 3 1 】

さらに上記目的は、複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、隣接する前記バスライン間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、前記静電気保護

素子部は、複数の金属層と、前記複数の金属層上に形成された絶縁層と、前記複数の金属層上の前記絶縁層を開口して形成したコンタクトホールと、前記コンタクトホールを介して前記金属層間を電氣的に接続する接続層とを有していることを特徴とする液晶表示装置によって達成される。

【 0 0 3 2 】

本発明によれば、ゲートバスラインまたはデータ（ドレイン）バスライン上の保護膜にコンタクトホールを形成し、これを介してショートリングと各バスラインとを電氣的に接続する。この構造で生じる異なるメタル（例えばTiとITO）間の接触抵抗は、材料を選択することでオーミックコンタクトを得ることができ、かつコンタクトホール数、サイズもしくは下層メタルの後処理工程により抵抗成分の抵抗値を制御することが可能である。もちろんメタルコンタクトはオーミックコンタクトに限ることではなく、ショットキー接続で非線型特性を有する抵抗素子を設けることが可能である

【 0 0 3 3 】

本発明によって形成された耐静電気素子は抵抗制御（電流制御）が容易であり、構造も簡単であるため安定した抵抗成分をもつことができる。また前述の手法により任意の抵抗成分を形成することが可能なため、高抵抗を作り込むことでアレイ検査を可能とし、かつ静電気に対して十分な保護機能を持つことができるようになる。

【 0 0 3 4 】

【発明の実施の形態】

本発明の第 1 の実施の形態による液晶表示装置について図 1 及び図 2 を用いて説明する。まず、本実施の形態による液晶表示装置の概略の構成を図 1 を用いて説明する。図 1 は、本液晶表示装置のアレイ側基板 1 側の一部を基板面に向かってみた状態を示している。なお、画素領域内は液晶駆動のための等価回路を示している。アレイ側基板 1 上には、図中基板左右方向に延びるゲートバスライン 2 が上下方向に平行に複数形成されている。また、複数のゲートバスライン 2 上には図示を省略した絶縁膜が形成され、絶縁膜上にはゲートバスライン 2 にほぼ直交するように複数のデータバスライン 4 が形成されている。互いに直交する複数

のゲートバスライン 2 とデータバスライン 4 とでマトリクス状に画定される各領域が画素領域となり、各画素領域内には T F T 6 と表示電極 8 が形成されている。T F T 6 のゲート電極は所定のゲートバスライン 2 に接続され、ドレイン電極は所定のデータバスライン 4 に接続され、ソース電極は画素領域内の表示電極 8 に接続されている。図中の破線 1 4 は対向基板の端部を示している。対向基板側には、共通電極 1 2 が形成されている。アレイ側基板 1 と対向基板との間には液晶 1 0 が封止されている。

【 0 0 3 5 】

所定のゲートバスライン 2 に出力された走査信号により当該ゲートバスライン 2 にゲート電極が接続された T F T 6 はオン状態となり、データバスライン 4 に出力された階調信号に基づく電圧が画素電極 8 に印加される。一方、対向基板側の共通電極 1 2 にも所定の電圧が印加され、画素電極 8 と共通電極 1 2 とに印加された電圧により、画素電極 8 と共通電極 1 2 の間の液晶が駆動されるようになっている。

【 0 0 3 6 】

各ゲートバスライン 2 の端部には外部取り出し電極 1 6 が形成され、各データバスライン 4 の端部にも外部取り出し電極 1 8 が形成されている。外部取り出し電極 1 6、1 8 の外周囲には静電気保護回路の構成要素であるショートリング 2 0 が形成されている。ショートリング 2 0 はゲートバスライン側共通線 2 2 とデータバスライン側共通線 2 4 とを有している。ゲートバスライン側共通線 2 2 と各ゲートバスライン 2 の外部取り出し電極 1 6 との間には、静電気保護回路の構成要素となる静電気保護素子部 2 8 が形成されている。一方、データバスライン側共通線 2 4 と各データバスライン 4 の外部取り出し電極 1 8 との間には、静電気保護回路の構成要素となる静電気保護素子部 3 0 が形成されている。

【 0 0 3 7 】

次に、本実施の形態による静電気保護素子部 2 8、3 0 の回路構成及び動作について図 2 を用いて説明する。なお、静電気保護素子部 2 8 と静電気保護素子部 3 0 の構成及び動作は同一であるので、これ以降、静電気保護素子部 2 8 を例にとって説明する。静電気保護素子部 2 8 は、T F T 3 2、第 1 の抵抗体 3 4、及

び第 2 の抵抗体 3 6 を有している。静電気保護素子である T F T 3 2 のソース電極 (S) はゲートバスライン 2 の外部取り出し電極 1 6 に接続されており、他方のドレイン電極 (D) は共通線 2 2 に接続されている。T F T 3 2 のゲート電極 (G) は第 1 の抵抗体 3 4 によって外部取り出し電極 1 6 に接続されており、また、同時に T F T 3 2 のゲート電極 (G) は、第 2 の抵抗体 3 6 によって共通線 2 2 に接続されている。静電気により共通線 2 2 に対して正の高電圧がバスラインに発生すると、T F T 3 2 のゲート電極 (G) には静電気によって発生した高電圧を第 1 の抵抗体 3 4 と第 2 の抵抗体 3 6 で分割した値の電圧が印加される。その結果、T F T 3 2 の導電率が急激に大きくなるため、T F T 3 2 を介して静電気による電荷が解放される。このとき、T F T 3 2 だけでなく、第 1 及び第 2 の抵抗体 3 4、3 6 を介しても電荷は解放され、T F T 3 2 を流れる電流は図 2 9 に示したような T F T が単一の場合に比べて緩和され、さらに図 3 0 に示した保護回路より静電気保護素子としての冗長性に優れている。従って、静電気で容易に破壊されず且つ T F T 試験も十分行える静電気保護回路を搭載した液晶表示装置を製造することができる。

【 0 0 3 8 】

次に、本発明の第 2 の実施の形態による液晶表示装置について図 3 乃至図 5 を用いて説明する。本液晶表示装置の概略構成は第 1 の実施の形態で用いた図 1 と同様であるので説明は省略し、特徴的構成要素である静電気保護素子部 2 8、3 0 の回路構成について図 3 を用いて説明する。静電気保護素子部 2 8 は、第 1 乃至第 3 の T F T 3 2、3 8、4 0、及び導電体 4 2 を有している。静電気保護素子である第 1 の T F T 3 2 のソース電極 (S) はバスライン 2 の外部取り出し電極 1 6 に接続されており、他方のドレイン電極 (D) は共通線 2 2 に接続されている。第 1 の T F T 3 2 のゲート電極 (G) はバスライン 2 の外部取り出し電極 1 6 と共通線 2 2 のいずれとも電氣的に絶縁された導電体 4 2 に接続されている。一方、第 2 の T F T 3 8 のソース電極 (S) は外部取り出し電極 1 6 に接続されており、他方のドレイン電極 (D) は導電体 4 2 に接続されている。また、第 3 の T F T 4 0 のドレイン電極 (D) は導電体 4 2 に接続されており、他方のソース電極 (S) は共通線 2 2 に接続されている。そして、第 2 及び第 3 の T F T

3 8、4 0 のゲート電極 (G) はいずれのパターンにも接続されておらず孤立している。静電気により共通線 2 2 に対して正の高電圧がバスラインに発生すると、第 2 及び第 3 の T F T 3 8、4 0 のゲート電極 (G) にはそれぞれ寄生容量 ($C 2_{gs}$ 、 $C 2_{gd}$ 、 $C 3_{gs}$ 、 $C 3_{gd}$) によって内分された高電圧が印加されて第 2 及び第 3 の T F T 3 8、4 0 でチャネルが形成される。その結果、第 2 及び第 3 の T F T 3 8、4 0 を通して電流が流れ、導電体 4 2 の電位も上昇する。それにより第 1 の T F T 3 2 にチャネルが形成されて導電率が大きくなるため静電気による電荷が解放される。このように本実施の形態によれば、第 2、第 3 の T F T 3 8、4 0 に予備的に電流が流れるため第 1 の T F T 3 2 にかかる負荷が軽減されており静電気保護回路の冗長性を向上させることができる。また、第 1 の T F T 3 2 のゲート電極 (G) は、容量を介して外部取り出し電極 1 6、1 8、及びショートリング 2 0 の共通線 2 2、2 4 と接続されており、ゲート電極 (G) の電位はこれら容量の充放電に要する時間の分だけ緩やかに変化する。従って、本実施の形態の構成によれば、緩やかな静電気に対しても十分対応することができる。

このように電荷は複数の経路で解放されるため、T F T が 1 個である従来の場合に比べて第 1 の T F T への負荷が緩和され、また静電気保護素子としての冗長性が増すので、静電気で容易に破壊されず且つ T F T 試験も十分行える静電気保護回路を搭載した液晶表示装置を製造することができる。

【0 0 3 9】

次に、本実施の形態による静電気保護回路の構造について図 4 を用いて説明する。図 4 (a) は、アレイ側基板 1 上の 1 つの静電気保護回路を基板面に向かってみた状態を示している。図 4 (b) は図 4 (a) の A - A' 線で切断した断面を示している。図 4 (c) は、図 4 (a) の B - B' 線で切断した断面を示している。

【0 0 4 0】

図 4 (a) において、図中左側で上下に延びる共通線 2 2 (または 2 4、以下記載を省略する) と外部取り出し電極 1 6 (または 1 8、以下記載を省略する) との間に静電気保護素子部 2 8 (または 3 0、以下記載を省略する) が形成され

ている。図 4 (b)、(c) に示すように、ガラス基板 5 0 上にゲートバスライン 2 及び画素領域の T F T 6 (図 1 参照) のゲート電極を形成する際に同時に第 1 乃至第 3 の T F T 3 2、3 8、4 0 のゲート電極 (G) も形成される。第 2 及び第 3 の T F T 3 8、4 0 のゲート電極 (G) は他の配線構造から電氣的に孤立して形成されている。ゲート電極 (G) 及びガラス基板 5 0 上にはゲート絶縁膜 5 2 が形成されている。第 1 乃至第 3 の T F T 3 2、3 8、4 0 の各ゲート電極 (G) 上に形成されたゲート絶縁膜 5 2 上には a - S i からなる動作半導体層 4 4 がそれぞれパターニングされている。各動作半導体層 4 4 を挟んで両側には、データ (ドレイン) バスライン 4 及び外部引き出し電極 1 6 の形成と同時にパターニングされたソース/ドレイン電極が形成されている。各ソース/ドレイン電極の端部は各動作半導体層 4 4 に乗り上がり、基板面方向に見て各ソース/ドレイン電極の端部と下層のゲート電極 (G) とがオーバーラップする領域が形成されている。なお、ショートリング 2 2 もデータバスライン 4 形成時に同時に形成される。素子形成領域全面にパッシベーション膜 5 4 が形成されている。

【 0 0 4 1 】

第 2 及び第 3 の T F T 3 8、4 0 間のソース/ドレイン電極のほぼ中央部上のパッシベーション膜 5 4 を除去してコンタクトホール 5 6 が形成されている。同様に、第 1 の T F T 3 2 のゲート電極の一端部上のゲート絶縁膜 5 2 とパッシベーション膜 5 4 も除去されてコンタクトホール 5 8 が形成されている。2 つのコンタクトホール 5 6、5 8 を介して、第 2 及び第 3 の T F T 3 8、4 0 間のソース/ドレイン電極のほぼ中央部と第 1 の T F T 3 2 のゲート電極とが導電体の一部を構成する I T O 層 4 3 で接続されている。本例では、導電体 4 2 の一構成要素である I T O 層 4 2 は、各画素領域内の表示電極を形成する際の透明電極としての I T O のパターニングの際に同時に形成される。

【 0 0 4 2 】

図 4 に示した構成では、外部取り出し電極 1 6、1 8 及びショートリング 2 0 の共通線 2 2、2 4 は共にデータバスライン 4 の形成と同時に同一の材料で形成されるが、これは本質的なことではない。例えば、図 5 に示すようにゲートバスライン 2 の形成時に同時にゲートバスライン 2 と同じ金属層により外部取り出し

電極 1 6、1 8 及びショートリング 2 2、2 4 を形成してもよい。図 5 は、アレイ側基板 1 上の 1 つの静電気保護回路を基板面に向かって見た状態を示している。図 5 に示すように、外部取り出し電極 1 6、1 8 と接続される第 1 の T F T 3 2 のソース電極 7 0 は、その一端部上に形成されたコンタクトホール 7 4 と、外部取り出し電極 1 6、1 8 上に形成されたコンタクトホール 7 6 とを介して、表示電極形成時の I T O 層 7 2 で接続されている。同様に、外部取り出し電極 1 6、1 8 と接続される第 2 の T F T 3 8 のソース電極 6 0 は、その一端部上に形成されたコンタクトホール 6 4 と、外部取り出し電極 1 6、1 8 上に形成されたコンタクトホール 6 6 とを介して、表示電極形成時の I T O 層 6 2 で接続されている。また同様に、ショートリング 2 0 の共通線 2 2、2 4 と接続される第 1 の T F T 3 2 のドレイン電極 8 0 及び第 3 の T F T 4 0 のソース電極 9 0 は、それらの一端部上に形成されたコンタクトホール 8 4、9 4 と、共通線 2 2、2 4 上に形成されたコンタクトホール 8 6、9 6 をそれぞれ介して、表示電極形成時の I T O 層 8 2、9 2 でそれぞれ接続されている。

【 0 0 4 3 】

次に、本発明の第 3 の実施の形態による液晶表示装置について図 6 を用いて説明する。図 6 は、アレイ側基板 1 上の静電気保護回路を基板面に向かって見た状態を示している。本実施の形態による液晶表示装置も静電気保護回路に特徴を有しており、他の構成要素については第 1 の実施の形態で図 1 を用いて説明した構成と同一であるのでそれらの説明は省略する。また、静電気保護素子部においても、第 1 及び第 2 の実施の形態と同様の機能作用を有する構成要素には同一の符号を付してその説明は省略する。本実施の形態の静電気保護回路は、図 4 を用いて説明した第 2 の実施の形態の静電気保護素子部 2 8、3 0 を隣接するバスライン間に形成することにより、ショートリング 2 0 を形成しない点に特徴を有している。すなわち、第 1 の T F T 3 2 のソース電極は隣接する 2 本のバスライン 2（または 4；以下記載を省略する）の一方に接続され、ドレイン電極は隣接する 2 本のバスライン 2 の他方に接続されている。また、第 2 の T F T 3 8 のソース電極は隣接する 2 本のバスライン 2 の一方に接続され、3 の T F T 4 0 のソース電極は隣接する 2 本のバスライン 2 の他方に接続されている。以上の構成の相違

を除き、本実施の形態の静電気保護回路によっても第 2 の実施の形態と同様の効果を得ることができる。

【0 0 4 4】

次に、本発明の第 4 の実施の形態による液晶表示装置について図 7 乃至図 1 1 を用いて説明する。本液晶表示装置の概略構成は第 1 の実施の形態で用いた図 1 と同様であるので説明は省略し、特徴的構成要素である静電気保護素子部 2 8、3 0 の回路構成について図 7 を用いて説明する。但し、図 3 及び図 4 に示した構成と同様の機能作用を発揮する構成要素には同一の符号を付してその説明も省略する。

【0 0 4 5】

本実施形態による静電気保護素子部 2 8 は、第 2 の実施形態と同様に第 1 乃至第 3 の T F T 3 2、3 8、4 0、及び導電体 4 2 を有している。第 2 の実施形態と異なるのは容量 1 0 0 を有している点にある。容量 1 0 0 は、導電体 4 2 と第 1 の T F T 3 2 のゲート電極（G）との間に形成されている。静電気が発生した場合、容量 1 0 0 により第 2 及び第 3 の T F T 3 8、4 0 に比べて第 1 の T F T 3 2 の動作は緩やかになる。そのため、鋭いパルス状の電圧変化を生じる静電気の場合は、第 2 及び第 3 の T F T 3 8、4 0 に先に電流が流れて第 1 の T F T 3 2 を保護することができる。また、電圧上昇が緩やかな静電気の場合は、第 2 及び第 3 の T F T 3 8、4 0 に続いて第 1 の T F T 3 2 が動作して電荷の解放に寄与するようになる。このように本実施の形態によれば、第 2、第 3 の T F T 3 8、4 0 に予備的に電流が流れるため、第 1 の T F T 3 2 にかかる負荷が軽減されており静電気保護回路の冗長性を向上させることができる。また、第 1 の T F T 3 2 のゲート電極（G）は、容量を介して外部取り出し電極 1 6、1 8、及びショートリング 2 0 の共通線 2 2、2 4 と接続されており、ゲート電極（G）の電位はこれら容量の充放電に要する時間の分だけ緩やかに変化する。従って、本実施の形態の構成によれば、緩やかな静電気に対しても十分対応することができる。さらに本実施の形態では、第 1 の T F T 3 2 のゲート電極（G）と第 2、第 3 の T F T 3 8、4 0 の間の共通導電体 4 2 の間に容量 1 0 0 を挿入させているので、外部取り出し電極 1 6、1 8 とショートリング 2 0 の共通線 2 2、2 4 との

間の電位差が低くなっても容量 1 0 0 の充放電に要する時間の分だけさらに長く導通状態を保つことができるため電荷解放の効率をより向上させることができる。また、容量 1 0 0 を付加したことにより短絡による不具合に対する冗長性も向上している。本実施形態の場合も電荷は複数の経路で解放されるため、T F T が 1 個である従来の場合に比べて静電気保護素子としての冗長性が増すので、静電気で容易に破壊されない保護回路を形成することができる。

【 0 0 4 6 】

次に、本実施の形態による静電気保護回路の構造について図 8 を用いて説明する。図 8 (a) は、アレイ側基板 1 上の 1 つの静電気保護回路を基板面に向かってみた状態を示している。図 8 (b) は図 8 (a) の A - A ' 線で切断した断面を示している。図 8 (c) は、図 8 (a) の B - B ' 線で切断した断面を示している。

【 0 0 4 7 】

図 8 (a) において、図中左側で上下に延びる共通線 2 2 と外部取り出し電極 1 6 との間に静電気保護素子部 2 8 が形成されている。図 8 (b) 、 (c) に示すように、ゲートバスライン 2 及び画素領域の T F T 6 (図 1 参照) のゲート電極を形成する際にガラス基板 5 0 上に同時に第 1 乃至第 3 の T F T 3 2 、 3 8 、 4 0 のゲート電極 (G) も形成される。第 2 及び第 3 の T F T 3 8 、 4 0 のゲート電極 (G) は他の配線構造から電氣的に孤立して形成されている。ゲート電極 (G) 及びガラス基板 5 0 上にはゲート絶縁膜 5 2 が形成されている。第 1 乃至第 3 の T F T の各ゲート電極 (G) 上のゲート絶縁膜 5 2 上には a - S i からなる動作半導体層 4 4 がそれぞれパターニングされている。各動作半導体層 4 4 を挟んで両側には、データ (ドレイン) バスライン 4 及び外部引き出し電極 1 6 の形成と同時にパターニングされたソース / ドレイン電極が形成されている。各ソース / ドレイン電極の端部は各動作半導体層 4 4 に乗り上げて形成されている。なお、ショートリング 2 2 もデータバスライン 4 形成時に同時に形成される。素子形成領域全面にパッシベーション膜 5 4 が形成されている。

【 0 0 4 8 】

第 2 及び第 3 の T F T 3 8 、 4 0 間のソース / ドレイン電極は導電体 4 2 とし

て機能すると共に、導電体 4 2 下方にまで延びた第 1 の T F T 3 2 のゲート電極 (G) との間で、容量 1 0 0 を形成している。

【 0 0 4 9 】

図 8 に示した構成では、外部取り出し電極 1 6、1 8 及びショートリング 2 2、2 4 は共にデータバスライン 4 の形成と同時に同一の材料で形成されるが、これは本質的なことではない。例えば、図 9 に示すようにゲートバスライン 2 の形成時に同時にゲートバスライン 2 と同じ金属層により外部取り出し電極 1 6、1 8 及びショートリング 2 2、2 4 を形成してもよい。そして図 5 を用いて説明したの同様の配線のつなぎ換えを行うことにより図 9 に示す構成を得ることができる。

【 0 0 5 0 】

次に、本実施の形態による静電気保護回路の変形例を図 1 0 及び図 1 1 を用いて説明する。第 1 及び第 2 の実施の形態及び本実施の形態では、ショートリング 2 0 及び静電気保護素子部 2 8、3 0 はアレイ側基板上で外部取り出し電極 1 6、1 8 の外側に位置している。従って、パネルスクライプ後に面取り工程によって除去することができる。一方、ショートリング 2 0 を外部取り出し電極 1 6、1 8 より内側に配置すれば、ガラス基板のスクライプ領域を狭めてガラス基板を無駄なく有効に利用することができる。この場合にはショートリング 2 0 及び静電気保護素子部 2 8、3 0 はパネルスクライプ後にも液晶表示パネルに残存することになり、各バスライン 2、4 は静電気保護回路を介して短絡するが、その抵抗は各バスライン間の干渉を無視できるほど大きいので、製品の品質には何ら影響を与えない。ショートリング 2 0 の形成位置についてはこれ以降に説明する実施形態全てについて同様に考えることができる。

【 0 0 5 1 】

図 1 0 は、データバスライン 4 の外部取り出し電極 1 8 より内側にショートリング 2 0 の共通線 2 4 が形成された静電気保護回路の構造例を示している。図中上下に延びる共通線 2 4 と、図示を省略した画素領域（共通線 2 4 に関し外部取り出し電極 1 8 の反対側）との間に静電気保護素子部 3 0 が形成されている。ゲートバスライン 2 及び画素領域の T F T 6（図 1 参照）のゲート電極を形成する

際にガラス基板 5 0 上に同時に第 1 乃至第 3 の T F T 3 2、3 8、4 0 のゲート電極 (G) が形成される。第 2 及び第 3 の T F T 3 8、4 0 のゲート電極 (G) は他の配線構造から電氣的に孤立して形成されている。また、共通線 2 4 もゲートバスライン 2 形成時に同時に形成される。第 1 の T F T 3 2 のドレイン電極 (D) と第 3 の T F T 4 0 のドレイン電極 (D) は、コンタクトホール部 7 7 を介して共通線 2 4 に接続されている。

【0 0 5 2】

第 2 及び第 3 の T F T 3 8、4 0 間のソース／ドレイン電極は導電体 4 2 として機能すると共に、導電体 4 2 下方にまで延びた第 1 の T F T 3 2 のゲート電極 (G) との間で、容量 1 0 0 を形成している。

【0 0 5 3】

また、本例においては、第 2 及び第 3 の T F T 3 8、4 0 のチャネル長を第 1 の T F T 3 2 のチャネル長より短く形成している。こうすることにより、非常に鋭いパルス電圧で静電気がデータライン 4 に発生した場合には、第 1 の T F T 3 2 が破壊される前に第 2 又は第 3 の T F T 3 8、4 0 が先に破壊されて第 1 の T F T 3 2 を保護することができる。このため、第 2 又は第 3 の T F T 3 8、4 0 のいずれかが破壊されたとしてもデータバスライン 4 と共通線 2 4 とが直接短絡することがないので、T F T 試験も含め、その後の工程に支障が生じることはない。また本例では、第 2 及び第 3 の T F T 3 8、4 0 のチャネル長を等しくし、且つ第 1 の T F T 3 2 のチャネル長の約半分の長さになっている。また、第 2 及び第 3 の T F T 3 8、4 0 のチャネル幅を等しくし、且つ第 1 の T F T 3 2 のチャネル幅と同程度の長さになっている。従って、第 1 の T F T 3 2 の導電率と、第 2 及び第 3 の T F T 3 8、4 0 を直列にみたときの導電率がほぼ同一となり、静電気保護における電流の分担を第 1 の T F T 3 2 と第 2 及び第 3 の T F T 3 8、4 0 とでほぼ半々に分けることができる。

【0 0 5 4】

図 1 1 は、ゲートバスライン 2 の外部取り出し電極 1 6 より内側にショートリング 2 0 の共通線 2 2 が形成された静電気保護回路の構造例を示している。図中上下に延びる共通線 2 2 と、図示を省略した画素領域 (共通線 2 2 に関し外部取

り出し電極 1 6 の反対側) との間に静電気保護素子部 2 8 が形成されている。ゲートバスライン 2 及び画素領域の T F T 6 (図 1 参照) のゲート電極を形成する際にガラス基板 5 0 上に同時に第 1 乃至第 3 の T F T 3 2、3 8、4 0 のゲート電極 (G) が形成される。第 2 及び第 3 の T F T 3 8、4 0 のゲート電極 (G) は他の配線構造から電氣的に孤立して形成されている。

【 0 0 5 5 】

第 1 乃至第 3 の T F T 3 2、3 8、4 0 のソース／ドレイン電極及び共通線 2 2 は、データバスラインの形成と同時に同一の形成材料で形成される。第 1 の T F T 3 2 のソース電極 (S) と第 2 の T F T 3 8 のソース電極 (S) は、それぞれコンタクトホール部 7 8、7 9 を介してゲートバスライン 2 に接続されている。

【 0 0 5 6 】

第 2 及び第 3 の T F T 3 8、4 0 間のソース／ドレイン電極は導電体 4 2 として機能すると共に、導電体 4 2 下方にまで延びた第 1 の T F T のゲート電極 (G) との間で、容量 1 0 0 を形成している。

【 0 0 5 7 】

また、本例においても、図 1 0 に示したのと同様に、第 2 及び第 3 の T F T 3 8、4 0 のチャネル長を等しくし、且つ第 1 の T F T 3 2 のチャネル長の約半分の長さになっている。また、第 2 及び第 3 の T F T 3 8、4 0 のチャネル幅を等しくし、且つ第 1 の T F T 3 2 のチャネル幅と同程度の長さになっている。従って、第 1 の T F T 3 2 の導電率と、第 2 及び第 3 の T F T 3 8、4 0 を直列にみたときの導電率がほぼ同一となり、静電気保護における電流の分担を第 1 の T F T 3 2 と第 2 及び第 3 の T F T 3 8、4 0 とでほぼ半々に分けることができる。

【 0 0 5 8 】

次に、本発明の第 5 の実施の形態による液晶表示装置について図 1 2 及び図 1 3 を用いて説明する。上述の第 1 乃至第 4 の実施の形態では、各バスラインにそれぞれ 1 組の静電気保護素子部が形成されているのに対し、本実施の形態では静電気保護素子部に形成された素子をできるだけ共有化して、全体の素子数を少なくした液晶表示装置を示す。構成素子の不良発生率や素子の占有する面積等を考

慮すると、構成素子数はできるだけ少なくしたほうが望ましい。

【0059】

図12に本実施の形態の静電気保護素子部の回路を示す。図12に示すように静電気保護素子部28-1、28-2（または、30-1、30-2）は、外部取り出し電極16-1、16-2（または18-1、18-2）ごとにTFT32-1、32-2及び第1の抵抗体34-1、34-2が形成されている。第2の抵抗体36は各素子部28-1、28-2に形成されていない。その代わり、第1のTFT32-1、32-2のゲート電極（G）が接続した導電体42と共通線22、24とが、第2の抵抗体としての1個の共用抵抗体37で接続されている。共用抵抗体37を設けることにより、静電気保護素子部の構成素子数を第1乃至第4の実施の形態に比して3/4に減らすことができる。

【0060】

例えば、静電気により共通線22に対して正の高電圧が外部取り出し電極16-1のバスラインに発生すると、TFT32-1、32-2のゲート電極（G）には静電気によって発生した高電圧を第1の抵抗体34-1と共用抵抗体37で分割した値の電圧が印加される。その結果、TFT32-1、32-2の導電率が急激に大きくなるため、TFT32-1、32-2を介して静電気による電荷が解放される。このとき、TFT32-1、32-2だけでなく、第1の抵抗体34-1、34-2、共用抵抗体37を介しても電荷は解放され、TFT32-1を流れる電流は緩和されるので、静電気保護素子としての冗長性が増して静電気で容易には破壊されない静電気保護回路を実現できる。

【0061】

次に、図13を用いて本実施の形態の変形例について説明する。図13に示す構成は、静電気保護回路の構成素子数をできるだけ少なくするため、図12に示した構成をさらに進めて、 n （ n は3以上の整数）本以上のバスラインの静電気保護素子部28-1～28- n （または30-1～30- n ）間で1個の共用抵抗体37を共用している点に特徴を有している。

【0062】

外部取り出し電極16-1～16- n ごとに設けられた静電気保護素子部28

- 1 ~ 2 8 - n には、それぞれ T F T 3 2 - 1 ~ 3 2 - n 及び第 1 の抵抗体 3 4 - 1 ~ 3 4 - n が形成されている。第 2 の抵抗体 3 6 は各素子部 2 8 - 1 ~ 2 8 - n に形成されていない。その代わり、第 1 の T F T 3 2 - 1 ~ 3 2 - n のゲート電極 (G) が接続された導電体 4 2 と共通線 2 2、2 4 とが、個々の第 2 の抵抗体に代えて 1 個の第 2 の抵抗体としての共用抵抗体 3 7 で接続されている。

【0 0 6 3】

全てのバスラインの静電気保護素子部 2 8、3 0 について個々の第 2 の抵抗体に代えて共有抵抗体 3 7 を用いることにすれば、バスライン 1 本あたりの構成素子数をほぼ 2 個にすることができ、第 1 実施の形態での静電気保護回路で 사용되는素子数を約半分まで減らすことが可能である。

【0 0 6 4】

次に、本発明の第 6 の実施の形態による液晶表示装置について図 1 4 乃至図 1 7 を用いて説明する。上記第 2 の実施の形態による液晶表示装置では各バスラインにそれぞれ 1 組の静電気保護素子部が形成されているのに対し、本実施の形態では、第 5 の実施の形態と同様に、静電気保護素子部に形成された素子をできるだけ共有化して、全体の素子数を少なくした液晶表示装置を示す。

【0 0 6 5】

図 1 4 に本実施の形態の静電気保護素子部の回路を示す。図 1 4 に示すように静電気保護素子部 2 8 - 1、2 8 - 2 (または、3 0 - 1、3 0 - 2) は、外部取り出し電極 1 6 - 1、1 6 - 2 (または 1 8 - 1、1 8 - 2) ごとに第 1 の T F T 3 2 - 1、3 2 - 2 及び第 2 の T F T 3 8 - 1、3 8 - 2 が形成されている。第 3 の T F T 4 0 は各素子部 2 8 - 1、2 8 - 2 に形成されていない。その代わり、第 1 の T F T 3 2 - 1、3 2 - 2 のゲート電極 (G) が接続した導電体 4 2 と共通線 2 2、2 4 とが、個々の第 3 の T F T に代えて 1 個の第 3 の T F T としての共用 T F T 4 1 で接続されている。共用 T F T 4 1 を設けることにより、静電気保護素子部の構成素子数を第 1 乃至第 4 の実施の形態に比して 3 / 4 に減らすことができる。

【0 0 6 6】

例えば静電気により共通線 2 2 に対して正の高電圧が外部取り出し電極 1 6 -

1 のバスラインに発生すると、第 2 の T F T 3 8－1 と共用 T F T 4 1 のゲート電極（G）にはそれぞれ寄生容量（ C_{2gs} 、 C_{2gd} 、 C_{cgs} 、 C_{cgd} ）によって内分された高電圧が印加されて第 2 の T F T 3 8－1、共用 T F T 4 1 でチャンネルが形成される。その結果、第 2 の T F T 3 8－1 及び共用 T F T 4 1 を通して電流が流れ、導電体 4 2 の電位も上昇する。それにより第 1 の T F T 3 2－1 にチャンネルが形成されて導電率が大きくなるため静電気による電荷が解放される。この場合でも電荷は複数の経路で解放されるため、T F T が 1 個である従来の場合に比べて第 1 の T F T 3 2 に流れる電荷の量が緩和されるので、静電気保護素子としての冗長性が増して静電気で容易には破壊されない保護回路を形成することができる。

【0 0 6 7】

次に、本実施の形態による静電気保護回路の構造について図 1 5 を用いて説明する。図 1 5 は、アレイ側基板 1 上の 1 つの静電気保護回路を基板面に向かってみた状態を示している。図 1 5 において、図中左側で上下に延びる共通線 2 2 と外部取り出し電極 1 6－1、1 6－2 との間に静電気保護素子部 2 8－1、2 8－2 が形成されている。

【0 0 6 8】

本例では、導電体 4 2 が図中上下に延びて、コンタクトホール 5 6－1、5 8－1 を介して静電気保護素子部 2 8－1 側の第 1 の T F T 3 2－1 と I T O 層 4 3 により接続されている。また、導電体 4 2 は、コンタクトホール 5 6－2、5 8－2 を介して静電気保護素子部 2 8－2 側の第 1 の T F T 3 2－2 と I T O 層 4 3 により接続されている。

【0 0 6 9】

共用 T F T 4 1 のゲート電極（G）上のゲート絶縁膜上には a－S i からなる動作半導体層 4 4 がパターンニングされている。動作半導体層 4 4 を挟んで両側には、導電体 4 2 のほぼ中央部から引き出された共用 T F T 4 1 のドレイン電極（D）が接続されている。共用 T F T 4 1 のソース電極は、共通線 2 2、2 4 に接続されている。共用 T F T 4 1 のソース／ドレイン電極の端部は動作半導体層 4 4 に乗り上がり、基板面方向に見て各ソース／ドレイン電極の端部と下層のゲー

ト電極 (G) とがオーバーラップする領域が形成されている。導電体 4 2、外部引き出し電極 1 6 - 1、1 6 - 2、及び共通線 2 2、2 4 はデータバスライン 4 を形成する際に同時に形成されている。

【0 0 7 0】

次に、図 1 6 を用いて本実施の形態の変形例について説明する。図 1 6 に示す構成は、静電気保護回路の構成素子数をできるだけ少なくするため、図 1 5 に示した構成をさらに進めて、 n (n は 3 以上の整数) 本以上のバスラインの静電気保護素子部 2 8 - 1 ~ 2 8 - n (または 3 0 - 1 ~ 3 0 - n) 間で 1 個の共用 T F T 4 1 を用いている点に特徴を有している。

【0 0 7 1】

外部取り出し電極 1 6 - 1 ~ 1 6 - n ごとに設けられた静電気保護素子部 2 8 - 1 ~ 2 8 - n には、それぞれ第 1 の T F T 3 2 - 1 ~ 3 2 - n 及び第 2 の T F T 3 8 - 1 ~ 3 8 - n が形成されている。第 3 の T F T 4 0 は各素子部 2 8 - 1 ~ 2 8 - n に形成されていない。その代わり、第 1 の T F T 3 2 - 1 ~ 3 2 - n のゲート電極 (G) が接続された導電体 4 2 と共通線 2 2、2 4 とが、個々の第 3 の T F T に代えて 1 個の第 3 の T F T としての共用 T F T 4 1 で接続されている。

【0 0 7 2】

全てのバスラインの静電気保護素子部 2 8、3 0 について第 3 の T F T 4 0 に代えて共有 T F T 4 1 を用いることにすれば、バスライン 1 本あたりの構成素子数はほぼ 2 個にすることができ、第 2 の実施の形態での静電気保護回路で使用する素子数を約半分まで減らすことが可能である。

【0 0 7 3】

次に、本実施の形態による静電気保護回路の構造について図 1 7 を用いて説明する。図 1 7 は、アレイ側基板 1 上の 1 つの静電気保護回路を基板面に向かってみた状態を示している。図 1 7 において、図中左側で上下に延びる共通線 2 2 と外部取り出し電極 1 6 - 1 ~ 1 6 - n との間に静電気保護素子部 2 8 - 1 ~ 2 8 - n が形成されている。

【0 0 7 4】

本例では、導電体 4 2 が図中上下に延びて、複数の第 1 の T F T 3 2 - 1 ~ 3 2 - n のゲート電極に接続されている。また、導電体 4 2 にコンタクトホールを介して第 2 の T F T 3 8 - 1 ~ 3 8 - n が I T O 層 4 3 により接続されている。共用 T F T 4 1 の構造は図 1 5 を用いて説明したのと同じであるので説明は省略する。共用 T F T 4 1 のドレイン電極は、コンタクトホールを介して I T O 層 4 3 により導電体 4 2 に接続され、ソース電極は共通線 2 2、2 4 に接続されている。

【 0 0 7 5 】

次に、本発明の第 7 の実施の形態による液晶表示装置について図 1 8 乃至図 2 1 を用いて説明する。上記第 3 の実施の形態による液晶表示装置では各バスラインにそれぞれ 1 組の静電気保護素子部が形成されているのに対し、本実施の形態では、第 5 及び第 6 の実施の形態と同様に、静電気保護素子部に形成された素子をできるだけ共有化して、全体の素子数を少なくした液晶表示装置を示す。

【 0 0 7 6 】

図 1 8 に本実施の形態の静電気保護素子部の回路を示す。図 1 8 に示すように各静電気保護素子部 2 8 - 1、2 8 - 2 には容量 1 0 0 - 1、1 0 0 - 2 が形成されている。第 3 の T F T 4 0 は静電気保護素子部 2 8 - 1、2 8 - 2 に形成されていない。その代わり、第 1 の T F T 3 2 - 1、3 2 - 2 のゲート電極 (G) が接続した導電体 4 2 と共通線 2 2、2 4 とが、個々の第 3 の T F T に代わる 1 個の第 3 の T F T としての共用 T F T 4 1 で接続されている。共用 T F T 4 1 を設けることにより、静電気保護素子部の構成素子数を第 1 乃至第 4 の実施の形態に比して 3 / 4 に減らすことができる。

【 0 0 7 7 】

本実施形態の場合も、容量 1 0 0 を有していることにより、静電気が発生した場合の第 1 の T F T 3 2 - 1、3 2 - 2 の動作は、第 2 の T F T 3 8 - 1、3 8 - 2 及び及び共用 T F T 4 1 に比べて緩やかになる。そのため、鋭いパルス状の電圧変化を生じる静電気の場合は、第 2 の T F T 3 8 - 1、3 8 - 2 及び共用 T F T 4 1 に先に電流が流れて第 1 の T F T 3 2 - 1、3 2 - 2 を保護することができる。また、電圧上昇が緩やかな静電気の場合は、第 2 の T F T 3 8 - 1、3

8-2 及び共用 T F T 4 1 に続いて第 1 の T F T 3 2 - 1、3 2 - 2 が動作して電荷の解放に寄与するようになる。本実施の形態によれば、第 2 の T F T 3 8 - 1、3 8 - 2 及び共用 T F T 4 1 に予備的に電流が流れるため、第 1 の T F T 3 2 - 1、3 2 - 2 にかかる負荷が軽減されており静電気保護回路の冗長性を増すことができる。また、第 1 の T F T 3 2 - 1、3 2 - 2 のゲート電極 (G) は、容量を介してそれぞれ外部取り出し電極 1 6 - 1、1 8 - 1、1 6 - 2、1 8 - 2、及びショートリング 2 0 の共通線 2 2、2 4 と接続されており、ゲート電極 (G) の電位はこれら容量の充放電に要する時間分だけ緩やかに変化する。従って、本実施の形態の構成によれば、緩やかな静電気であっても十分対応することができる。さらに本実施の形態では、第 1 の T F T 3 2 - 1、3 2 - 2 のゲート電極 (G) と第 2 の T F T 3 8 - 1、3 8 - 2 及び共用 T F T 4 1 の間の共通導電体 4 2 の間に容量 1 0 0 - 1、1 0 0 - 2 を挿入させているので、外部取り出し電極 1 6、1 8 とショートリング 2 0 の共通線 2 2、2 4 との間の電位差が低くなっても容量 1 0 0 - 1、1 0 0 - 2 の充放電に要する時間の分だけさらに長く導通状態を保つことができるため電荷解放の効率をより向上させることができる。また、容量 1 0 0 - 1、1 0 0 - 2 を付加したことにより短絡による不具合に対する冗長性も向上している。本実施形態の場合も電荷は複数の経路で解放されるため、T F T が 1 個である従来の場合に比べて静電気保護素子としての冗長性が増すので、静電気による素子の破壊が生じにくくなる。

【0078】

次に、本実施の形態による静電気保護回路の構造について図 1 9 を用いて説明する。図 1 9 は、アレイ側基板 1 上の 1 つの静電気保護回路を基板面に向かってみた状態を示している。図 1 9 に示す構造は図 1 5 に示す構造に対して、第 1 の T F T 3 2 - 1、3 2 - 2 のゲート電極が導電体 4 2 下層に絶縁膜を介して位置することにより容量 1 0 0 - 1、1 0 0 - 2 が形成されている点にある。それ以外の構成は図 1 5 に示したのと同じであるので説明は省略する。

【0079】

次に、図 2 0 及び図 2 1 を用いて本実施の形態の変形例について説明する。図 2 0 及び図 2 1 に示す構成は、静電気保護回路の構成素子数をできるだけ少なく

するため、図 1 8 に示した構成をさらに進めて、 n (n は 3 以上の整数) 本以上のバスラインの静電気保護素子部 2 8 - 1 ~ 2 8 - n (または 3 0 - 1 ~ 3 0 - n) 間で 1 個の共用 T F T 4 1 を用いている点に特徴を有している。図 2 0、図 2 1 に示す回路構成及び素子構造は、図 1 6、図 1 7 に対して、第 1 の T F T 3 2 - 1 ~ 3 2 - n のゲート電極が導電体 4 2 下層に絶縁膜を介して位置することにより容量 1 0 0 - 1 ~ 1 0 0 - n が形成されている点にある。それ以外の構成は図 1 6 及び図 1 7 に示したのと同じであるので説明は省略する。

【 0 0 8 0 】

以上説明した第 1 乃至第 7 の実施の形態による静電気保護回路が形成されたアレイ側基板 1 に対する T F T の製造工程において、T F T 検査ではなく単にバスラインの断線／短絡を検出するためのオープン／ショート検査 (O / S 検査) によりパネルの良否判断をする場合がある。この場合、層間短絡を検出するためには、ゲートバスライン 2 側のショートリング 2 0 の共通線 2 2 と、データバスライン 4 側の共通線 2 4 とを高抵抗成分で電氣的に分離する必要がある。そこで一例として図 2 2 に示すような構成を取ることができる。図 2 2 において、共通線 2 2 と共通線 2 4 との交差部には、例えば第 1 乃至第 4 の実施の形態で図 2 乃至図 1 1 を用いて説明した静電気保護素子部 2 8、3 0 と同様の構成を有する層間分離部 2 3 が形成されている。

また、図 2 2 に示すように、ショートリング 2 0 の共通線 2 2、2 4 のいずれか (図 2 2 では共通線 2 2) を、例えば対向基板側の共通電極 1 2 またはグランドと接続する接続端子 2 5 に接続して、より確実に T F T やバスラインを静電気による障害から保護するようにすることもできる。

【 0 0 8 1 】

次に、本発明の第 8 の実施の形態による液晶表示装置について説明する。まず、本実施の形態で用いる T F T - L C D のアレイ側基板の製造プロセスを簡単に説明する。第 1 に、アレイ側基板上にゲートメタルを成膜してパターニングし、ゲートバスライン及び各画素領域の T F T のゲート電極を形成する。第 2 に、全面にゲート絶縁膜を形成し、その上に T F T の動作半導体膜となる $a - S i$ 層、及びチャネル保護膜を形成するための絶縁膜をこの順に成膜する。第 3 に、ゲー

トバスライン及びゲート電極をマスクとする背面露光と、ゲートバスライン上の a-Si 層を画素領域から電氣的に分離するための通常のマスクを用いた露光により上記絶縁膜をパターニングしてチャネル保護膜を形成する。第 4 に、オーミックコンタクト層となる n^+ 層とドレイン/ソース電極及びデータバスラインを形成するためのドレインメタル（例えば、Ti（チタン））層をこの順に全面に成膜する。第 5 に、 n^+ 層とドレインメタル層をパターニングしてドレイン/ソース電極及びデータバスラインを形成する。第 6 に、全面にパッシベーション膜（例えば、SiN 膜（シリコン窒化膜））を形成してからパターニングし、所定位置のパッシベーション膜にコンタクトホールを形成する。第 7 に、ITO を全面に成膜してからパターニングし、画素電極を形成する。以上の工程において、第 1、第 3、第 5、第 6、及び第 7 の工程に露光工程が含まれており、全部で 5 枚のマスクを用いる 5 枚マスクプロセスとなっている。

【0082】

さて、以上の工程を含んで形成される本液晶表示装置における静電気保護回路について図 23 乃至図 27 を用いて詳細に説明する。なお、本実施形態において、第 1 乃至第 7 の実施の形態と同一の機能作用を有する構成要素には同一の符号を付している。

【0083】

図 23（a）は、アレイ側基板をその基板面に向かって見た状態を示している。図 23（b）は、図 23（a）の A-A 線で切断した断面を示している。図 23 は、ガラス基板であるアレイ側基板 1 上のデータバスライン 4（図示せず）から外部取り出し電極 18 が引き出されて形成されている状態を示している。外部取り出し電極 18 先端には静電気保護素子部 30 が形成され、静電気保護素子部 30 を介して外部取り出し電極 18 とショートリング 20 の共通線 24 が接続されている。以上の構成は、ゲートバスライン 2 及びその外部取り出し電極 16 についても図示を省略したが同様の構成となっている。

【0084】

図 23（b）に示すように、アレイ側基板 1 上に上記の第 2 の工程によるゲート絶縁膜 52 が形成され、その上に、第 4 の工程でのドレインメタル層をパター

ニングして外部取り出し電極 1 8 と共通線 2 4 が形成されている。また、外部取り出し電極 1 8 と共通線 2 4 の対向側には、静電気保護素子部 3 0 の一部を構成するドレイン金属層をパターニングした金属層 2 0 0 が形成されている。対向する金属層 2 0 0 両端部間はパッシベーション膜 5 4 が埋め込まれて電氣的に分離されている。対向する金属層 2 0 0 両端部上にはパッシベーション膜 5 4 を開口したコンタクトホール 9 8 がそれぞれ形成されている。2 つのコンタクトホール内壁及び両者間に第 7 の工程で成膜された導電膜の I T O 層 4 3 がパターニングされており、対向する 2 つの金属層 2 0 0 は I T O 層 4 3 により電氣的に接続されている。この場合、下層のドレイン金属 (T i) と上層金属 (I T O) とはオーミック接続になり、コンタクトホールのサイズにより抵抗成分が変化する。下層金属に T i を用い、I T O 成膜前に熱処理 (例えば、1 8 0 °C ~ 2 1 5 °C 程度) を行い、且つコンタクトホール 9 8 の径が $\phi = 4 \mu\text{m}$ である場合には、形成される抵抗成分は 7 ~ 8 k Ω となる。コンタクトホール 9 8 は上述の第 6 の工程で形成されるものであり、I T O 膜も第 7 の工程で形成されるものであるから、従来の製造工程を何ら変更することなく静電気保護回路を形成することができる。

【 0 0 8 5 】

図 2 4 (a) および (b) は静電気保護素子部 3 0 を高抵抗にするためにコンタクトホール 9 8 を複数個直列接続した本実施形態の変形例を示している。図 2 4 (a) では、外部取り出し電極 1 8 と共通線 2 4 の対向側に設けられ先端が対向する 2 つの金属層 2 0 0 の間に、さらに島状の複数の金属層 2 0 2 が形成されている。直列に整列した複数の金属層 2 0 2 の両端部上のパッシベーション膜 5 4 にはコンタクトホール 9 8 が形成されている。隣り合う金属層 2 0 0 、 2 0 2 はコンタクトホール 9 8 を介して I T O 層 4 3 により電氣的に接続されている。

【 0 0 8 6 】

図 2 4 (b) に示す構造は、直線上に整列した金属層 2 0 0 、 2 0 2 の各対向端部近傍に、電氣的に独立した島状の金属層 2 0 4 が設けられ、それらの両端部にコンタクトホール 9 8 が形成されている。そして、金属層 2 0 0 、 2 0 2 の各対向端部は、金属層 2 0 4 とコンタクトホール 9 8 を介して I T O 層 4 3 の接続

層で接続されている。このようにして、静電気保護素子部 3 0 を蛇行配置させることにより、共通線 2 4 と外部取り出し電極 1 8 との間の距離を短くさせることが可能になる。

【 0 0 8 7 】

アレイ検査装置により画素電極とコモン電極間にチャージングした電荷を積分回路により読み出す場合には、アイソレーション抵抗として抵抗値が 1 0 0 k Ω 以上あるのが望ましい。従って図 2 4 に示すような構成を採用してコンタクトホール 9 8 の数を 1 4 個以上にすれば、アレイ検査に影響しない静電気保護回路を実現できる。このように本実施の形態によれば、コンタクトホールを介して抵抗体を複数段接続することにより任意の値の抵抗成分を有する静電気保護回路を形成することができる。

【 0 0 8 8 】

次に、本実施の形態による静電気保護素子部において下層メタルを多層構造とした変形例について図 2 5 を用いて説明する。図 2 5 は静電気保護素子部の形成工程断面を示しており、(A) 列はゲートバスライン側を示し、(B) 列はデータバスライン側を示している。また、(a) 行～(e) 行は各工程での処理を示している。まず図 2 5 (a) において、ガラス基板であるアレイ側基板 1 上にゲートバスライン及び各画素領域の T F T のゲート電極を形成する際、ゲートバスライン 2 側の静電気保護素子部 2 8 の金属層 2 0 0 g をゲートメタルで同時に形成する。金属層 2 0 0 g の形成と共にショートリング 2 0 の共通線 2 2 をゲートメタルで同時に形成することもできる。次いで、例えば S i N (窒化シリコン) を用いて全面にゲート絶縁膜 5 2 を形成する。

【 0 0 8 9 】

次に、図 2 5 (b) に示すように、データバスライン 4 及び各画素領域の T F T のドレイン／ソース電極を形成する際、ドレインメタルを用いて同時に、データバスライン 4 側の静電気保護素子部 3 0 の金属層 2 0 0 d を形成する。ドレインメタル層は下層から順に T i / A l / T i で構成されている。なお、金属層 2 0 0 d の形成と共にショートリング 2 0 の共通線 2 4 をドレインメタルで同時に形成することもできる。次いで、全面にパッシベーション膜 5 4 を形成する。

【0090】

次に、図25(c)に示すように、金属層200g、200d上のパッシベーション膜54を開口してコンタクトホール98を形成する。さらに図25(d)に示すように、金属層200g上のゲート絶縁膜52をエッチングして金属層200g上部が露出するコンタクトホール98を形成する。パッシベーション膜54とゲート絶縁膜52を一括してエッチングするプロセスでは、ゲート絶縁膜42をエッチングしている間はドレインメタル最上層のTi層がエッチングストップパとして機能する。このときドレインメタル最上層のTiの膜厚が薄いと下層のAl層が露出することがある。

【0091】

次に、図25(e)に示すように、隣接する所定の金属層200、202等がコンタクトホール98を介して電氣的に接続されるように、表示電極形成時のITOパターニングしてITO層43を形成する。このとき、ITO層43aと金属層200dのAl層とはショットキー接続となり、コンタクトホール98内にリング状に残存するTi層とITO層43bとはオーミック接続となるため全体の接触抵抗を高くすることができる。例えばドレインメタルをTi(20nm)/Al(75nm)/Ti(20nm)とすると金属層200d上のコンタクトホール1個当たりの接触抵抗は35~36k Ω になり、金属層200dを3~4個直列接続すればアレイ検査が可能な状態が得られる。

【0092】

なお、ITO層43の形成前であってコンタクトホール98底部にメタル層が露出した状態で熱処理温度を変えることにより、メタル/ITOの接触抵抗を変化させることが可能である。より高抵抗の素子が必要な場合には当該バーク温度を高くすればよい。

【0093】

このようにして形成される抵抗成分は抵抗値を10M Ω 以上にすることも可能であり、パネル完成後において各バスラインに走査信号や画像信号等を印加をしても、この高抵抗成分により隣接するバスラインに影響を及ぼさないようにすることができる。従って、これら高抵抗成分はパネル完成後にもパネル内に残存さ

せることができる。このため、パネルが完成してからユニット組み立て工程における静電気障害も防止することができ、より高い歩留りで液晶表示装置を製造することができ、また装置の信頼性を向上させることができるようになる。

【 0 0 9 4 】

本実施の形態では、各バスライン 2、4 とショートリング 2 0（共通線 2 2、2 4）との間に複数のコンタクトホール 9 8 を直列配列することで任意の抵抗値の抵抗成分を配置できることを説明したが、本実施形態はこれに限られず、図 2 6 に示すように、隣接するゲートバスライン 2 間、あるいは隣接するデータバスライン 4 間に本実施の形態による構造を形成することも可能である。この場合にも、金属層 2 0 0、2 0 2 等に設けられたコンタクトホール間を I T O 層で接続して十分な高抵抗素子を形成することによりパネル完成後もパネル内に静電気保護回路を残存させることができる。もちろん隣接するバスライン間に限らず、高抵抗成分が必要な任意の場所に本実施の形態による静電気保護素子部を製造プロセスの変更なしに形成することが可能である。

【 0 0 9 5 】

また、T F T 製造工程において、アレイ検査を用いずに単にバスラインの断線／短絡を検出するためのオープン／ショート検査（O / S 検査）によりパネルの良否判断をする場合がある。この場合、層間短絡を検出するためには、ゲートバスライン 2 側のショートリング 2 0 の共通線 2 2 と、データバスライン 4 側の共通線 2 4 とを高抵抗成分で電氣的に分離する必要がある。そこで一例として図 2 7 に示すような構成を取ることができる。図 2 7 の破線 1 2 0 で示すブロック内は、ショートリング 2 0 を構成する共通線 2 2 と共通線 2 4 の接続状態を示している。図 2 7 に示すように、ゲート金属層をパターニングして形成した共通線 2 2 の端部が露出するコンタクトホール 1 2 1 と、ドレイン金属層をパターニングして形成した共通線 2 4 の端部が露出するコンタクトホール 1 2 2 とを I T O 層 4 3 で接続することにより接続端部で容易に高抵抗部を形成することが可能である。コンタクトホール 1 2 2 での高抵抗部の形成は上述の図 2 5（d）、（e）に示した方式を採用することにより抵抗値を任意に調整することが可能である。

【0096】

なお、上記実施の形態において、絶縁膜としてシリコン窒化膜を用いているが、シリコン酸化膜（ SiO_2 膜）を用いることももちろん可能である。また、上記実施の形態では、コンタクトホール98間の接続層にITOを用いているが、本実施の形態はこれに限られず、他の比較的抵抗値の高い材料を用いるようにしてももちろんよい。また、ド레인メタルとしてTi/Al/Tiの積層構造を用いたが上層の金属層はTiに代えてモリブデン（Mo）、タングステン（W）、あるいはタンタル（Ta）、及びそれらの合金、あるいはそれらの窒化酸化物を用い、中間層のAlに代えて、銅（Cu）、Al合金、Cu合金等を用いることができる。

【0097】

以上説明したように本実施の形態によれば、高抵抗成分を容易に形成することができ、且つ抵抗値の制御も可能であるので、静電気による素子破壊を防止すると共に高精度でアレイ検査を行うことができるようになる。またパネル完成後、ユニット組み立て工程における静電気破壊まで対処することができるようになるので、製造歩留りの向上による生産量の増加、さらに信頼性の高い装置を提供することができるようになる。

【0098】

【発明の効果】

以上の通り、本発明によれば、冗長性に優れた静電気保護回路を備えた液晶表示装置を実現できる。また本発明によれば、比較的低い電圧が長時間発生する静電気に対しても十分な保護機能を備えた液晶表示装置を実現できる。

【0099】

またさらに本発明によれば、基板組立工程の最終段階まで静電気対策の施せる液晶表示装置を実現できる。さらに本発明によれば、静電気保護素子部がパネルサイズに影響を与えない液晶表示装置を実現できる。またさらに本発明によれば、素子構造が簡素で電流制御面で不利のない静電気保護素子部を有する液晶表示装置を実現できる。

【0100】

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態による液晶表示装置の概略の構成を示す図である。

【図 2】

本発明の第 1 の実施の形態による静電気保護素子部の回路構成及び動作を示す図である。

【図 3】

本発明の第 2 の実施の形態による液晶表示装置の特徴的構成要素である静電気保護素子部の回路構成を示す図である。

【図 4】

本発明の第 2 の実施の形態による静電気保護回路の構造を示す図である。

【図 5】

本発明の第 2 の実施の形態による液晶表示装置の静電気保護回路の変形例を示す図である。

【図 6】

本発明の第 3 の実施の形態による液晶表示装置の静電気保護回路を基板面に向かってみた状態を示す図である。

【図 7】

本発明の第 4 の実施の形態による液晶表示装置の特徴的構成要素である静電気保護素子部の回路の構成を示す図である。

【図 8】

本発明の第 4 の実施の形態による静電気保護回路の構造を示す図である。

【図 9】

本発明の第 4 の実施の形態による静電気保護回路の構造の変形例を示す図である。

【図 1 0】

本発明の第 4 の実施の形態による静電気保護回路の変形例を示す図である。

【図 1 1】

本発明の第 4 の実施の形態による静電気保護回路の他の変形例を示す図である

【図 1 2】

本発明の第 5 の実施の形態による液晶表示装置の静電気保護素子部の回路を示す図である。

【図 1 3】

本発明の第 5 の実施の形態による液晶表示装置の静電気保護回路の変形例を示す図である。

【図 1 4】

本発明の第 6 の実施の形態による液晶表示装置の静電気保護素子部の回路を示す図である。

【図 1 5】

本発明の第 6 の実施の形態による液晶表示装置の静電気保護回路の構造を示す図である。

【図 1 6】

本発明の第 6 の実施の形態による液晶表示装置の静電気保護回路の変形例を示す図である。

【図 1 7】

本発明の第 6 の実施の形態による液晶表示装置の静電気保護回路の変形例の構造を示す図である。

【図 1 8】

本発明の第 7 の実施の形態による液晶表示装置の静電気保護素子部の回路を示す図である。

【図 1 9】

本発明の第 7 の実施の形態による液晶表示装置の静電気保護回路の構造を示す図である。

【図 2 0】

本発明の第 7 の実施の形態による液晶表示装置の静電気保護回路の変形例を示す図である。

【図 2 1】

本発明の第 7 の実施の形態による液晶表示装置の静電気保護回路の変形例の構造を示す図である。

【図 2 2】

本発明の第 1 乃至第 7 の実施の形態による液晶表示装置の静電気保護回路の変形例の構造を示す図である。

【図 2 3】

本発明の第 8 の実施の形態による液晶表示装置の静電気保護回路の構造を示す図である。

【図 2 4】

本発明の第 8 の実施の形態による液晶表示装置の静電気保護回路の変形例の構造を示す図である。

【図 2 5】

本発明の第 8 の実施の形態による液晶表示装置の静電気保護回路の製造工程を示す図である。

【図 2 6】

本発明の第 8 の実施の形態による液晶表示装置の静電気保護回路の他の変形例の構造を示す図である。

【図 2 7】

本発明の第 8 の実施の形態による液晶表示装置の静電気保護回路の応用例の構造を示す図である。

【図 2 8】

従来の液晶表示装置の静電気保護回路の構造を示す図である。

【図 2 9】

従来の液晶表示装置の静電気保護回路の構造を示す図である。

【図 3 0】

従来の液晶表示装置の静電気保護回路の構成を示す図である。

【図 3 1】

従来の液晶表示装置の静電気保護回路の構造を示す図である。

【符号の説明】

1 アレイ側基板
2 ゲートバスライン
4 データバスライン
6、530、532、534 TFT
8 表示電極 画素電極
10 液晶
12 共通電極
16、18、502、504 外部取り出し電極
20、506 ショートリング
22、24 共通線
28、30 静電気保護素子部
32 第1のTFT
34 第1の抵抗体
36 第2の抵抗体
37 共用抵抗体
38 第2のTFT
40 第3のTFT
41 共用TFT
42、536 導電体
43、62、72、82、92 ITO層
44、514 動作半導体層
50、508 ガラス基板
52、512 ゲート絶縁膜
54 パッシベーション膜
56、58、64、66、74、76、84、86、94、96、98 コンタ
クトホール
60、70、90、518 ソース電極
77、78、79 コンタクトホール部
80、516 ドレイン電極

1 0 0 容量

1 2 0 破線

2 0 0、2 0 2、2 0 4 金属層

5 0 0 静電気保護素子

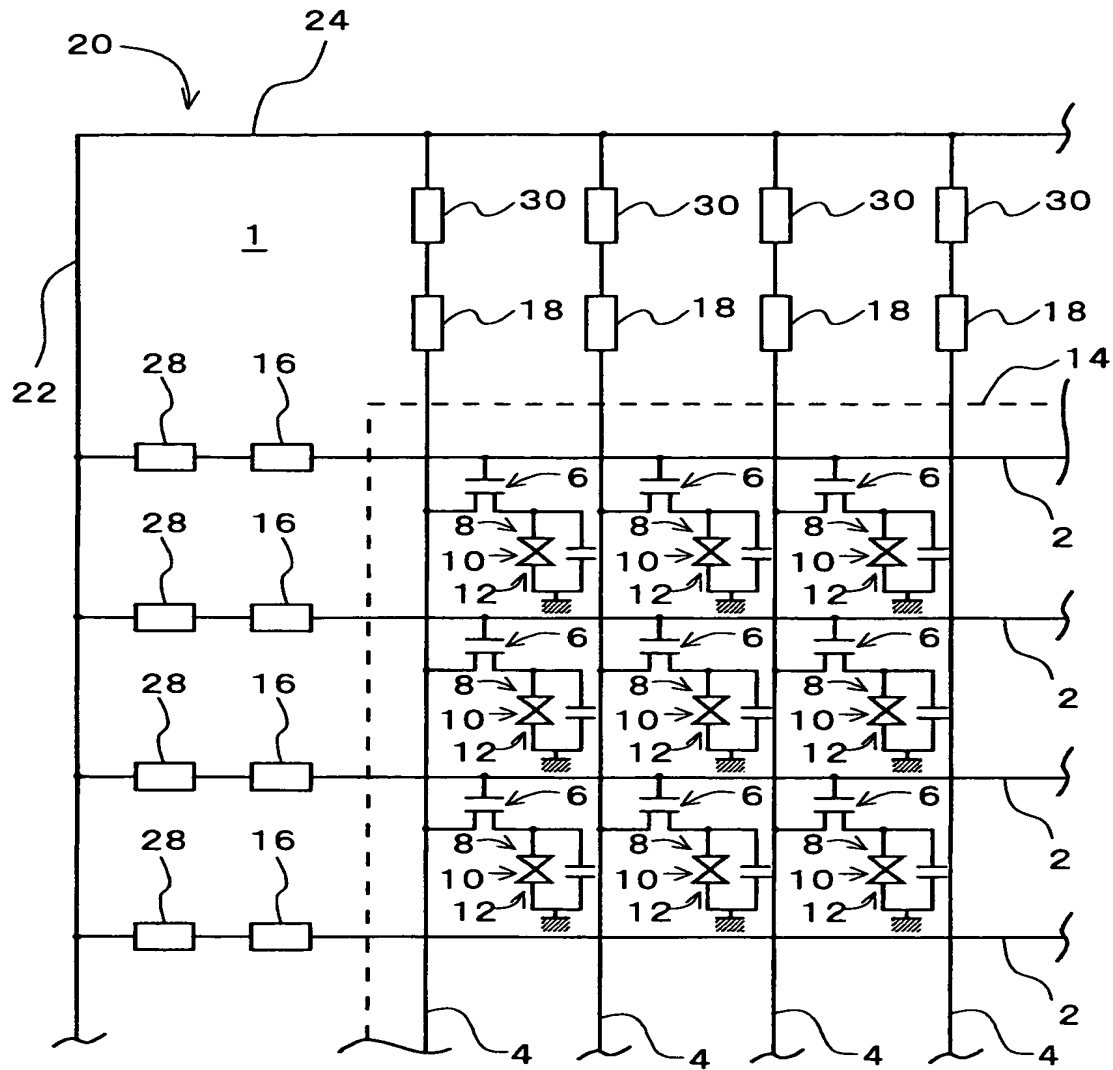
5 0 2 バスライン

5 1 0 ゲート電極

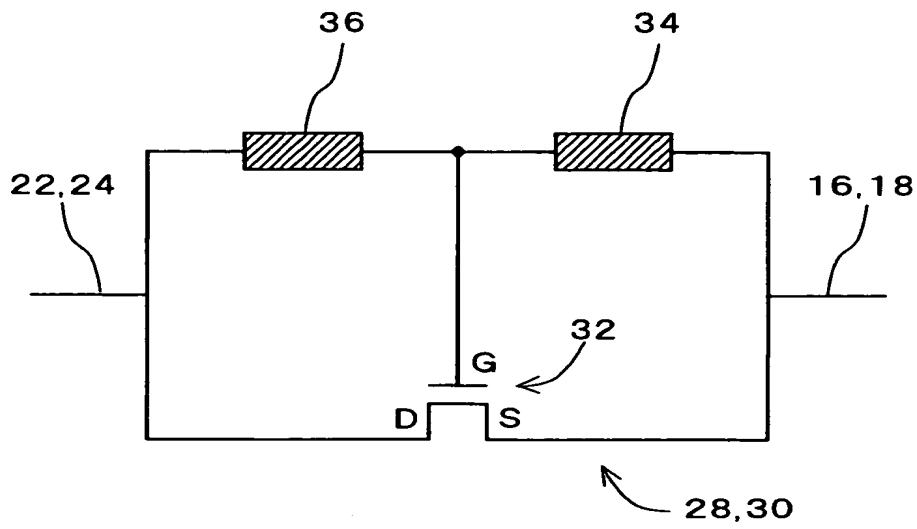
5 2 0 保護膜

【書類名】 図面

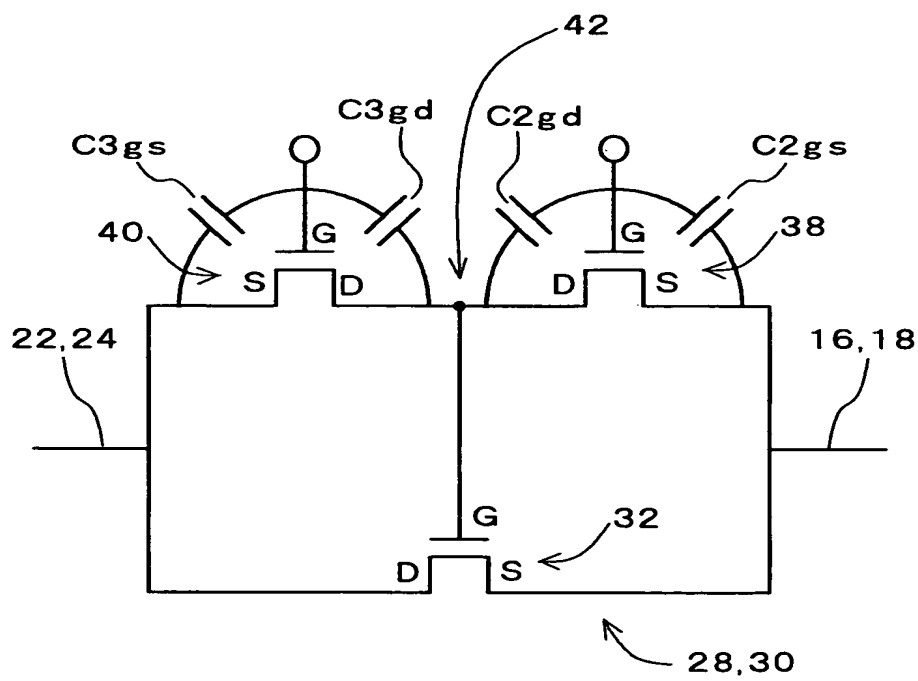
【図 1】



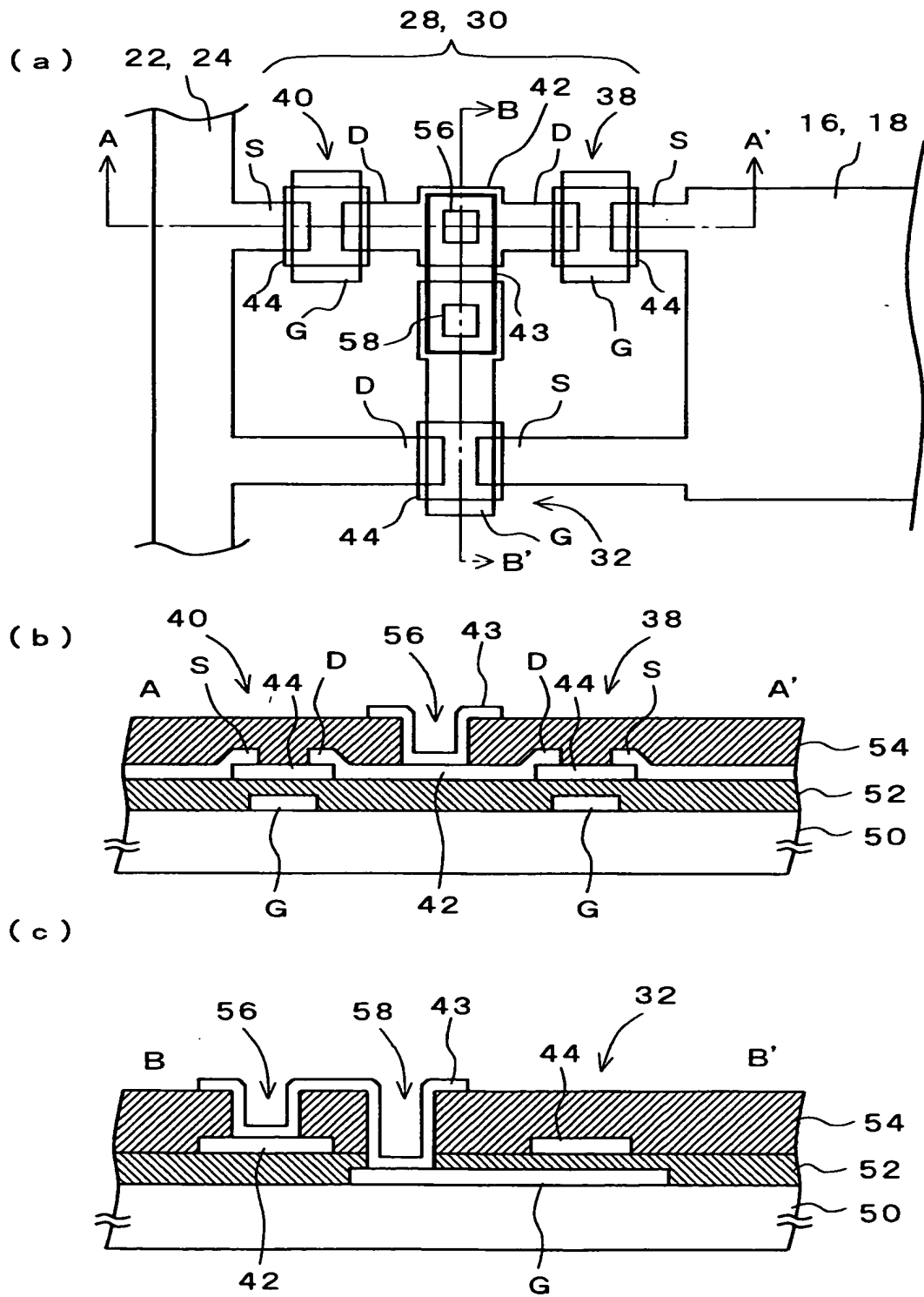
【図 2】



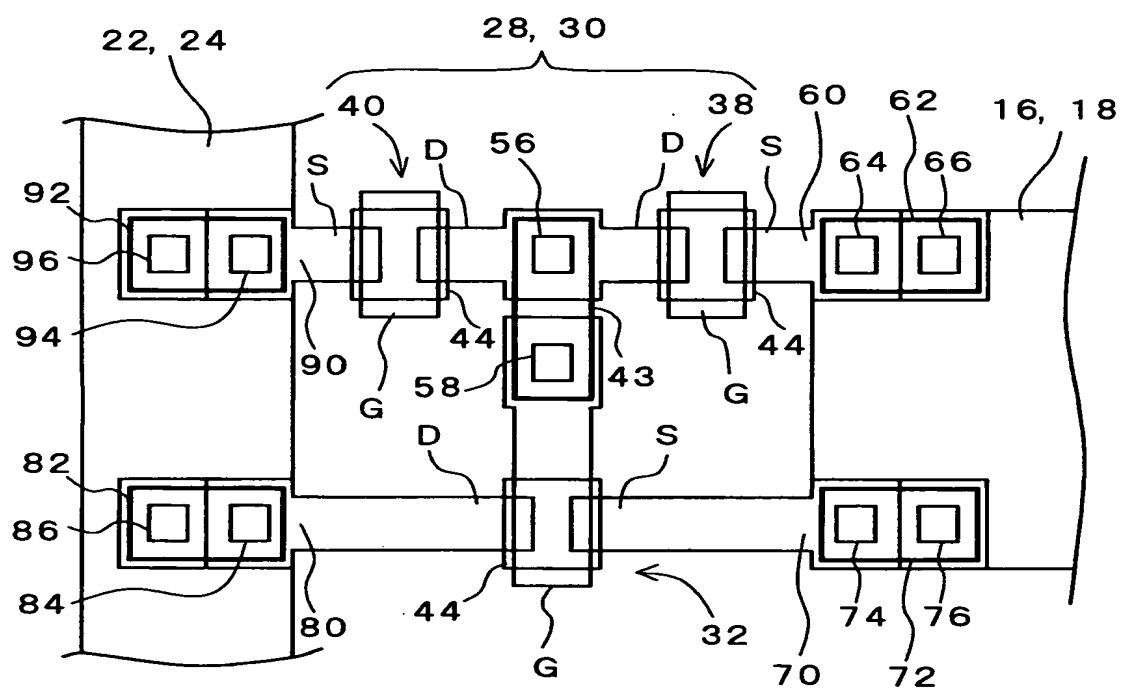
【図 3】



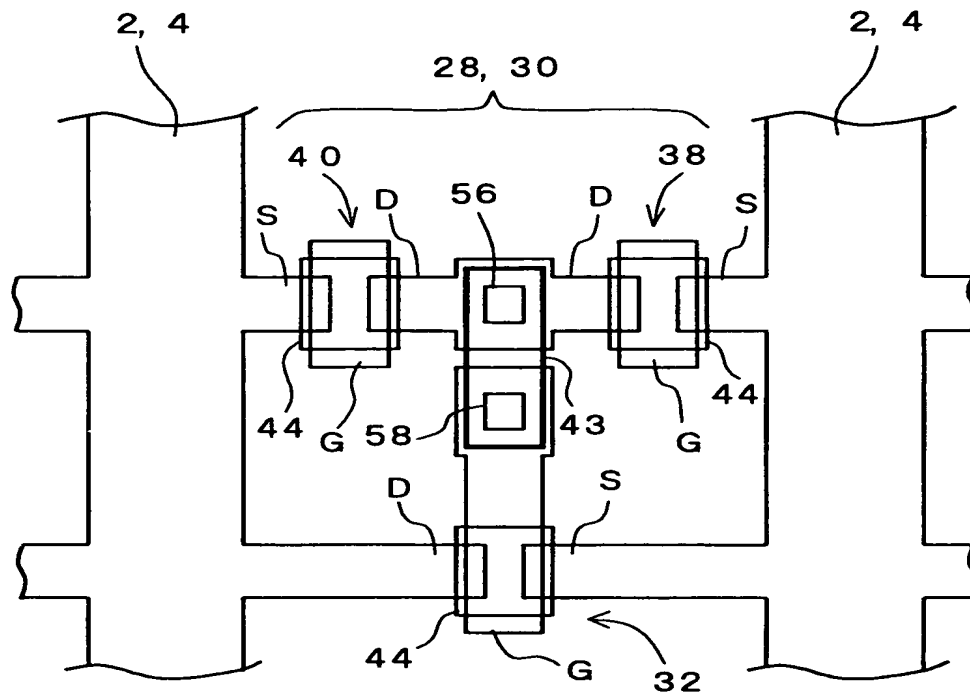
【図4】



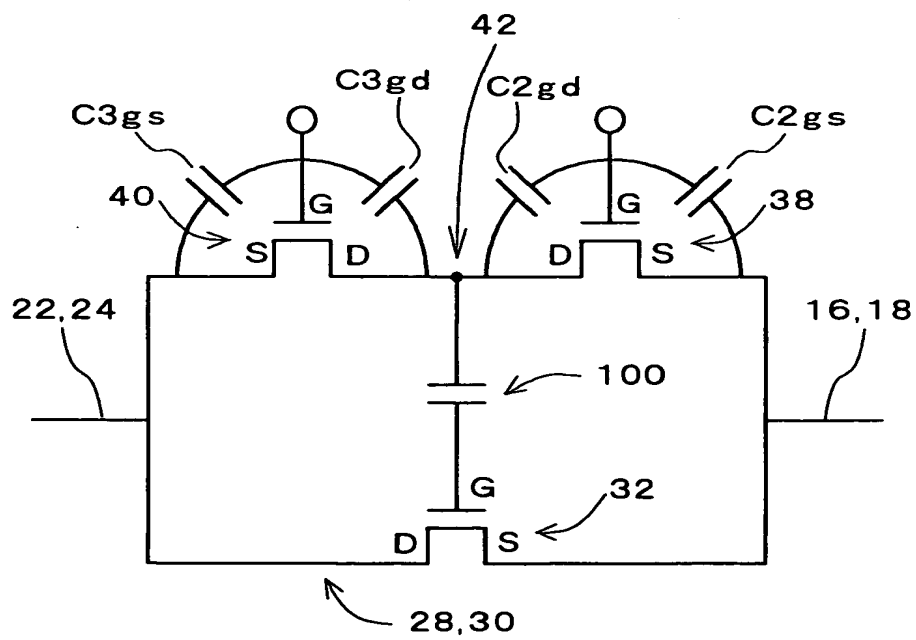
【図5】



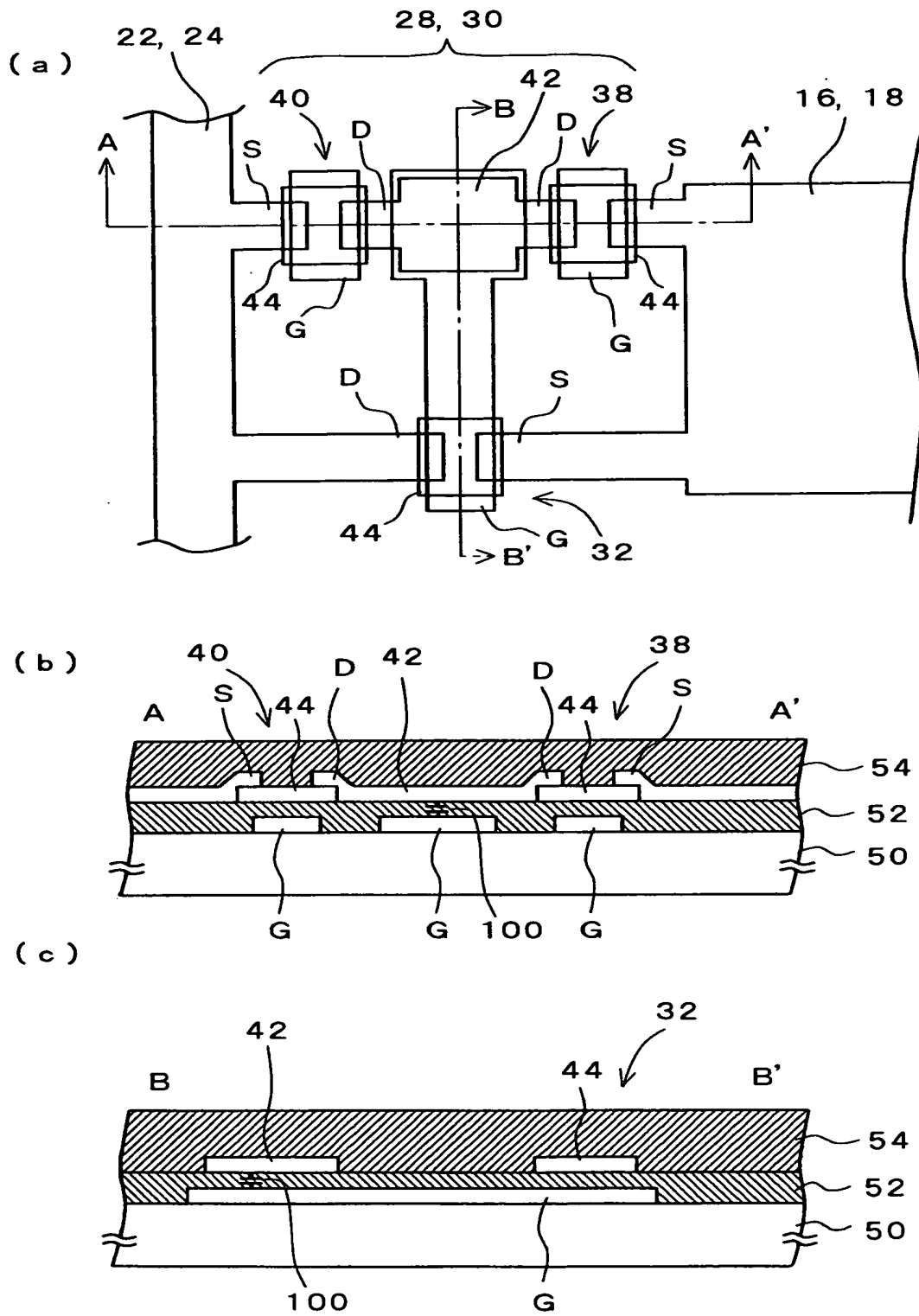
【図 6】



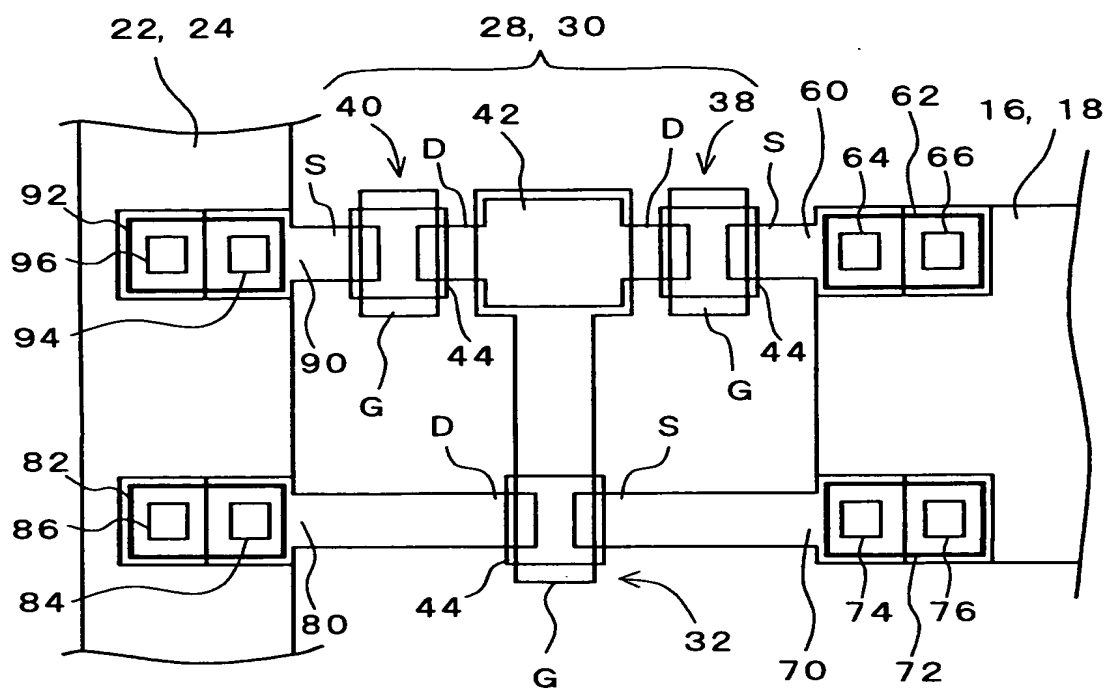
【図 7】



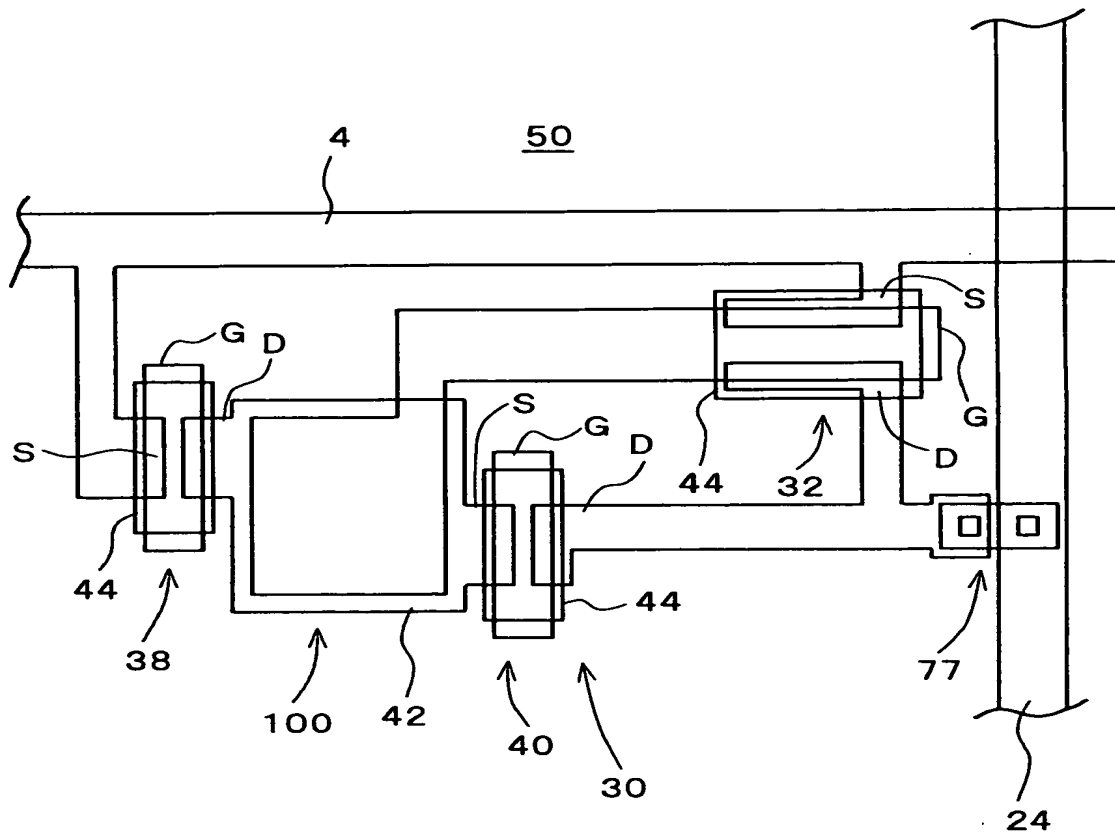
【図 8】



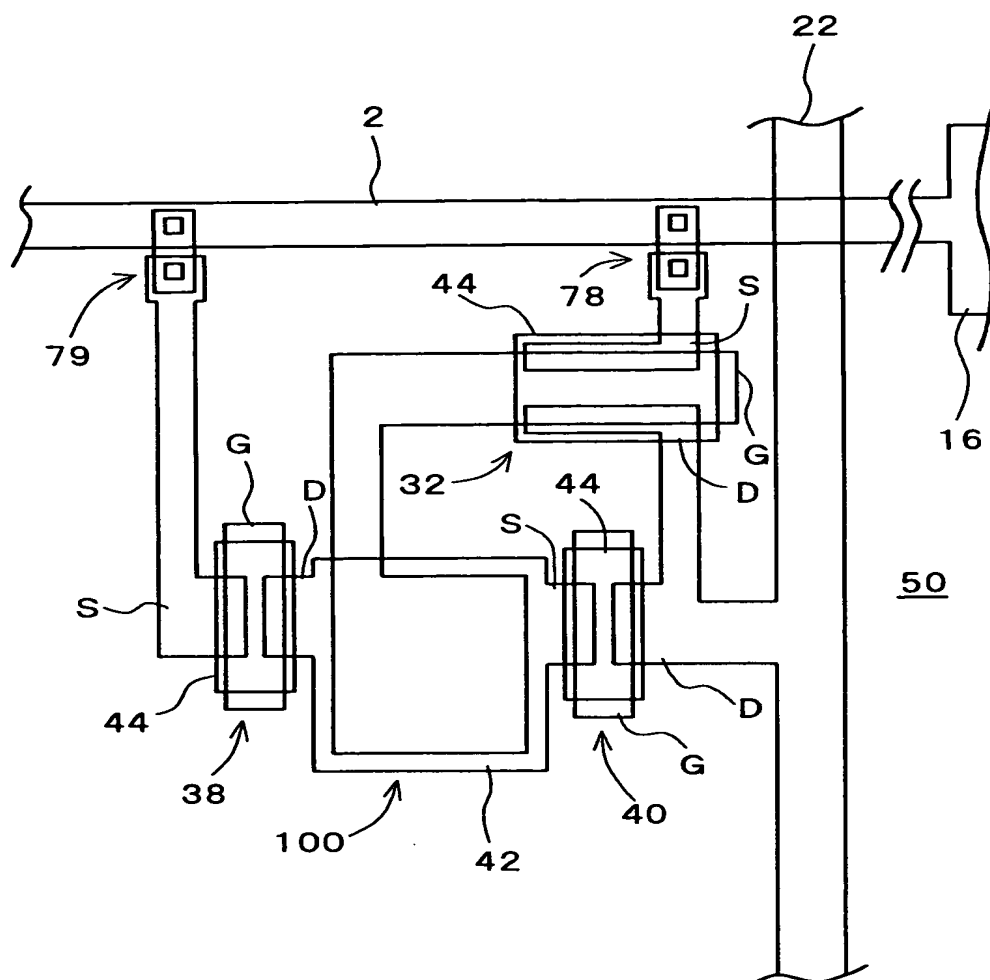
【図 9】



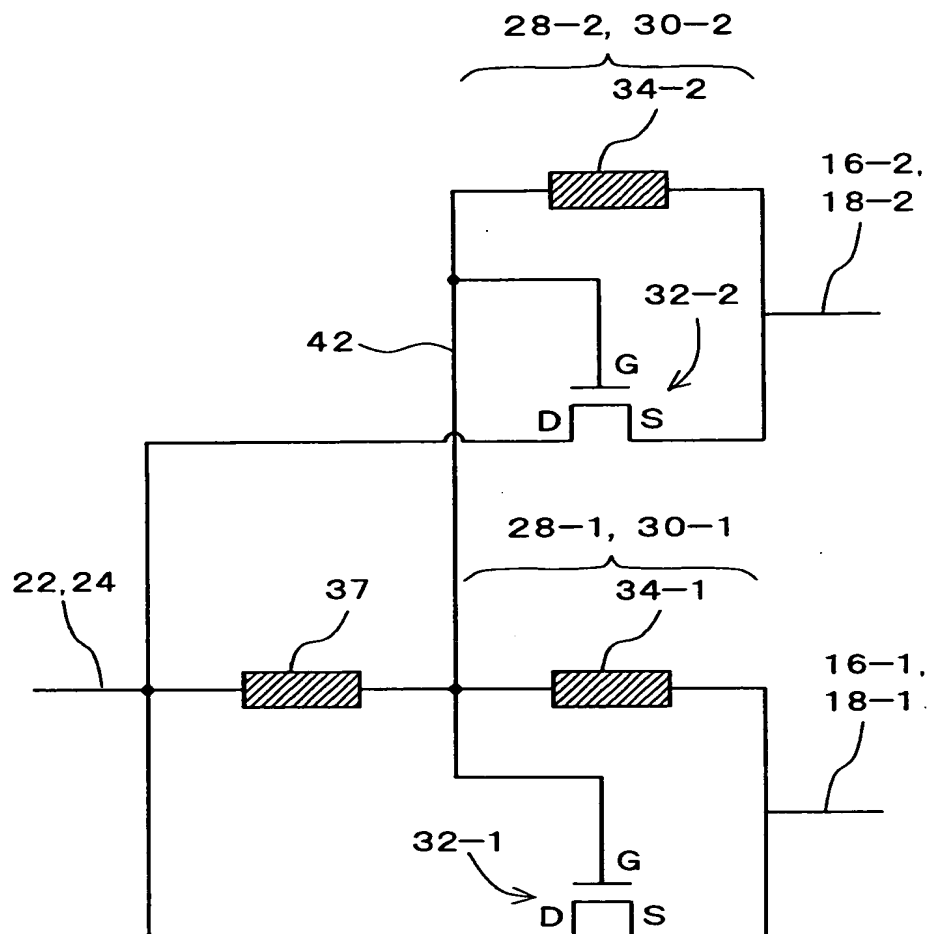
【図 1 0】



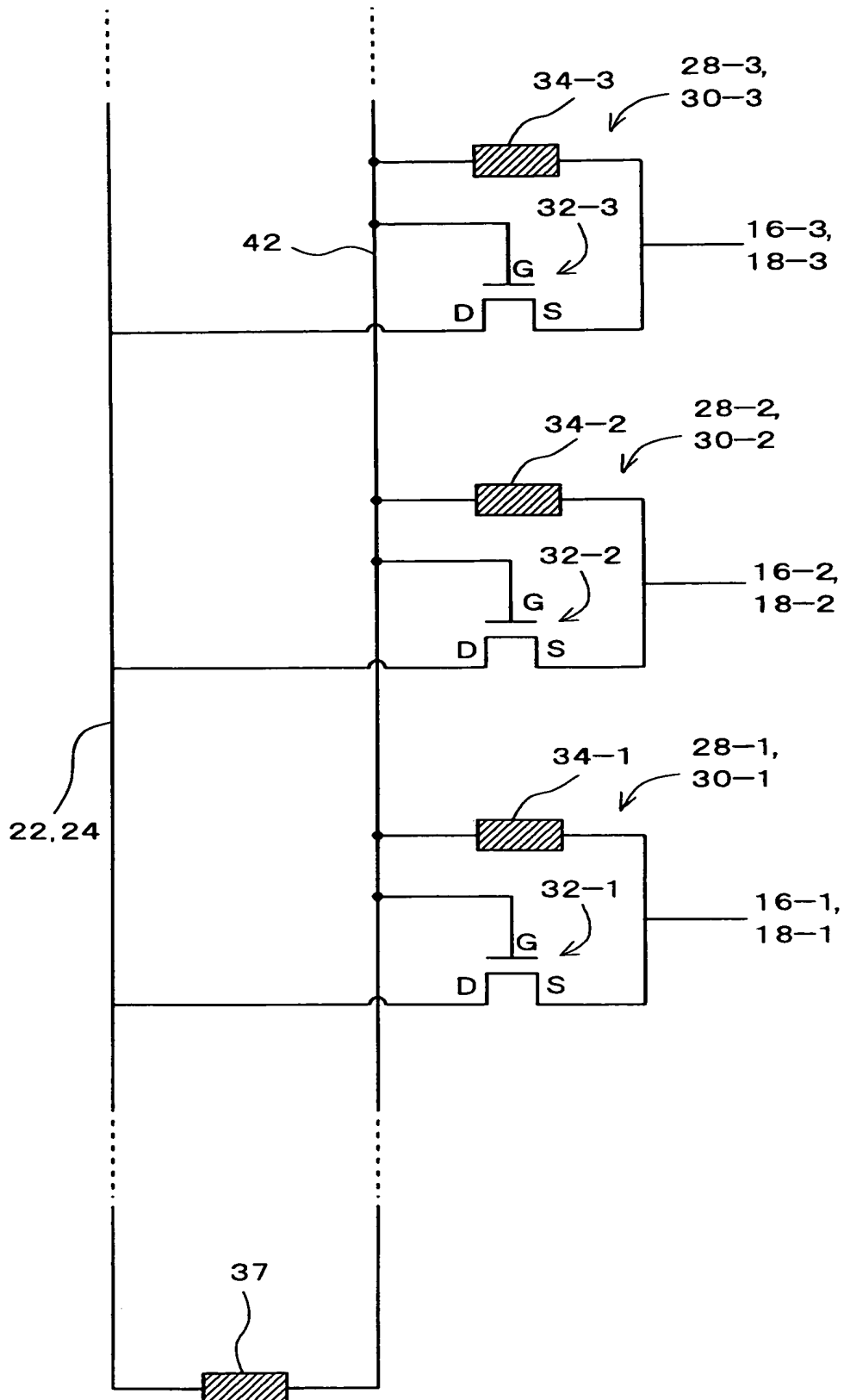
【图 1 1】



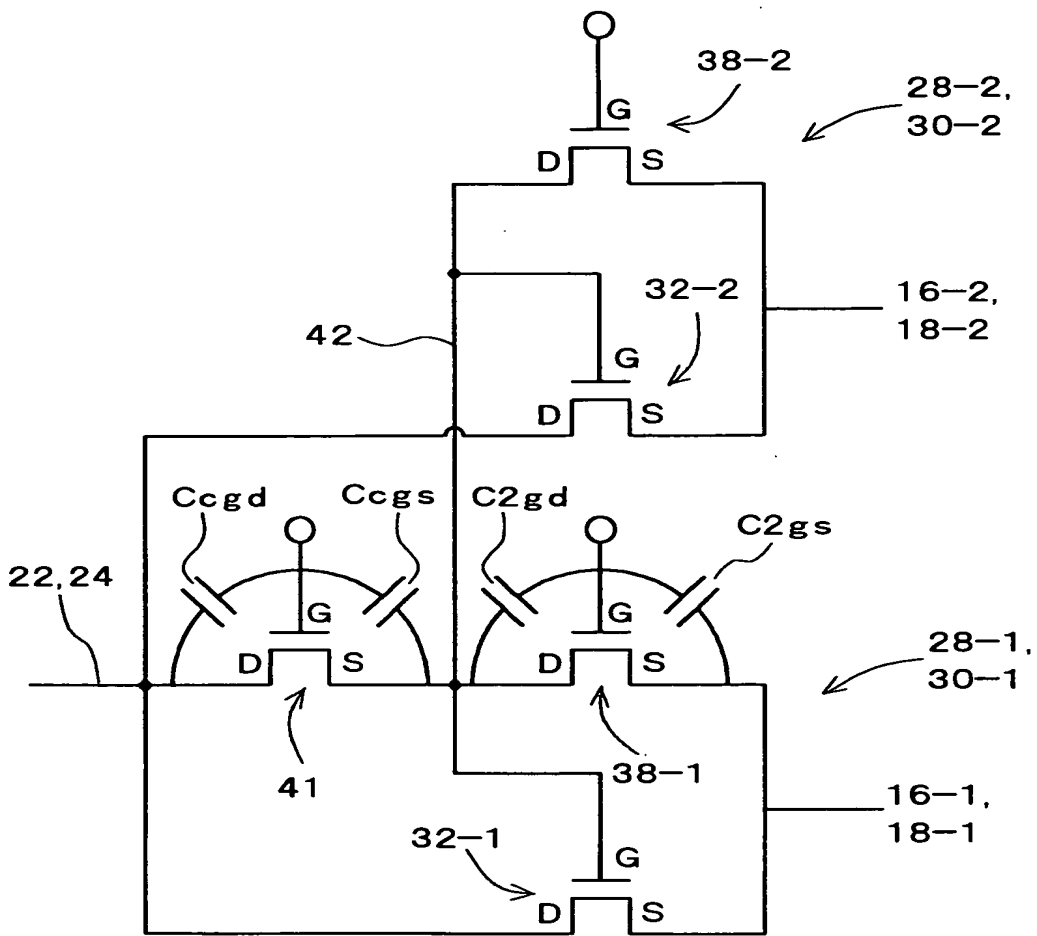
【圖 1 2】



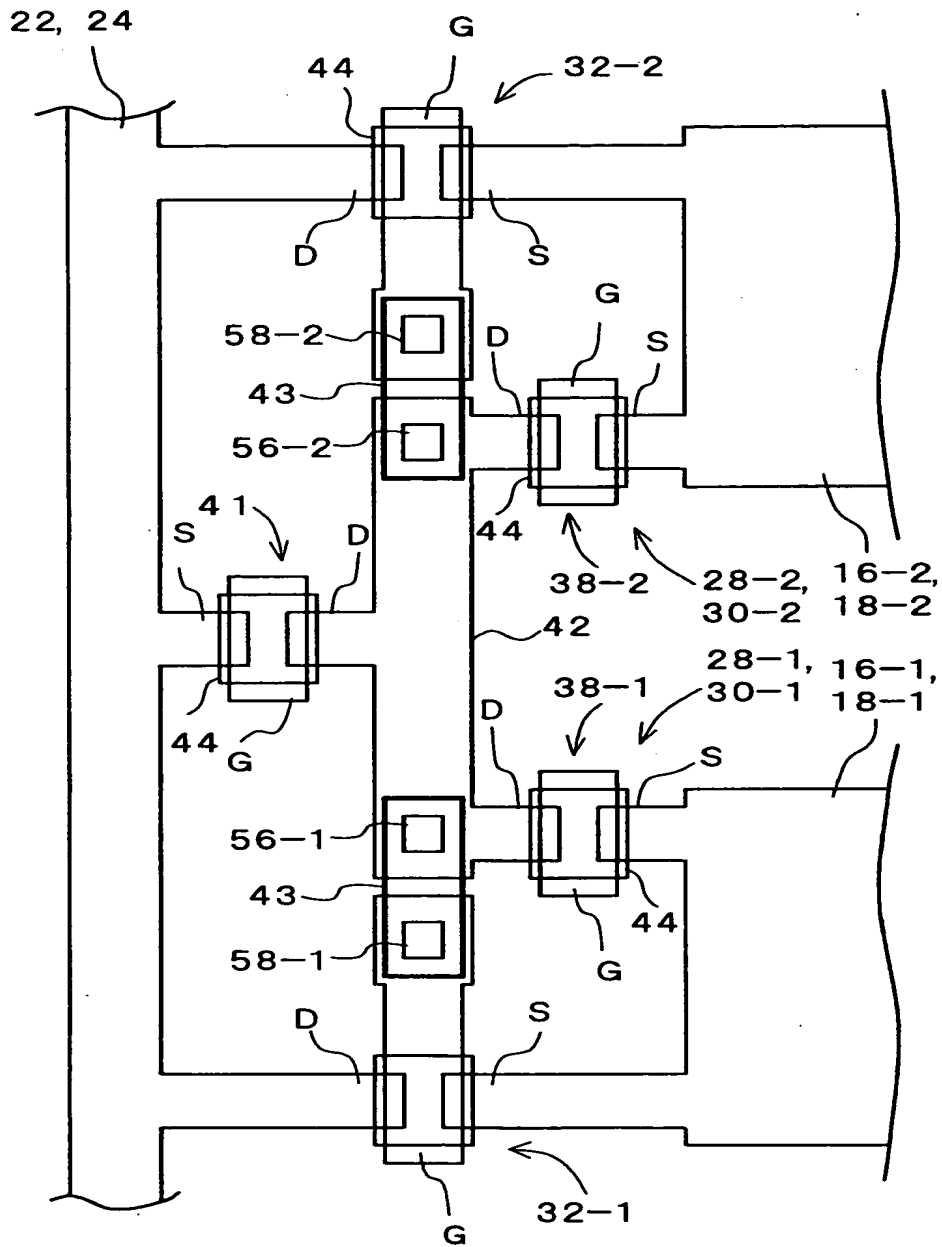
【圖 13】



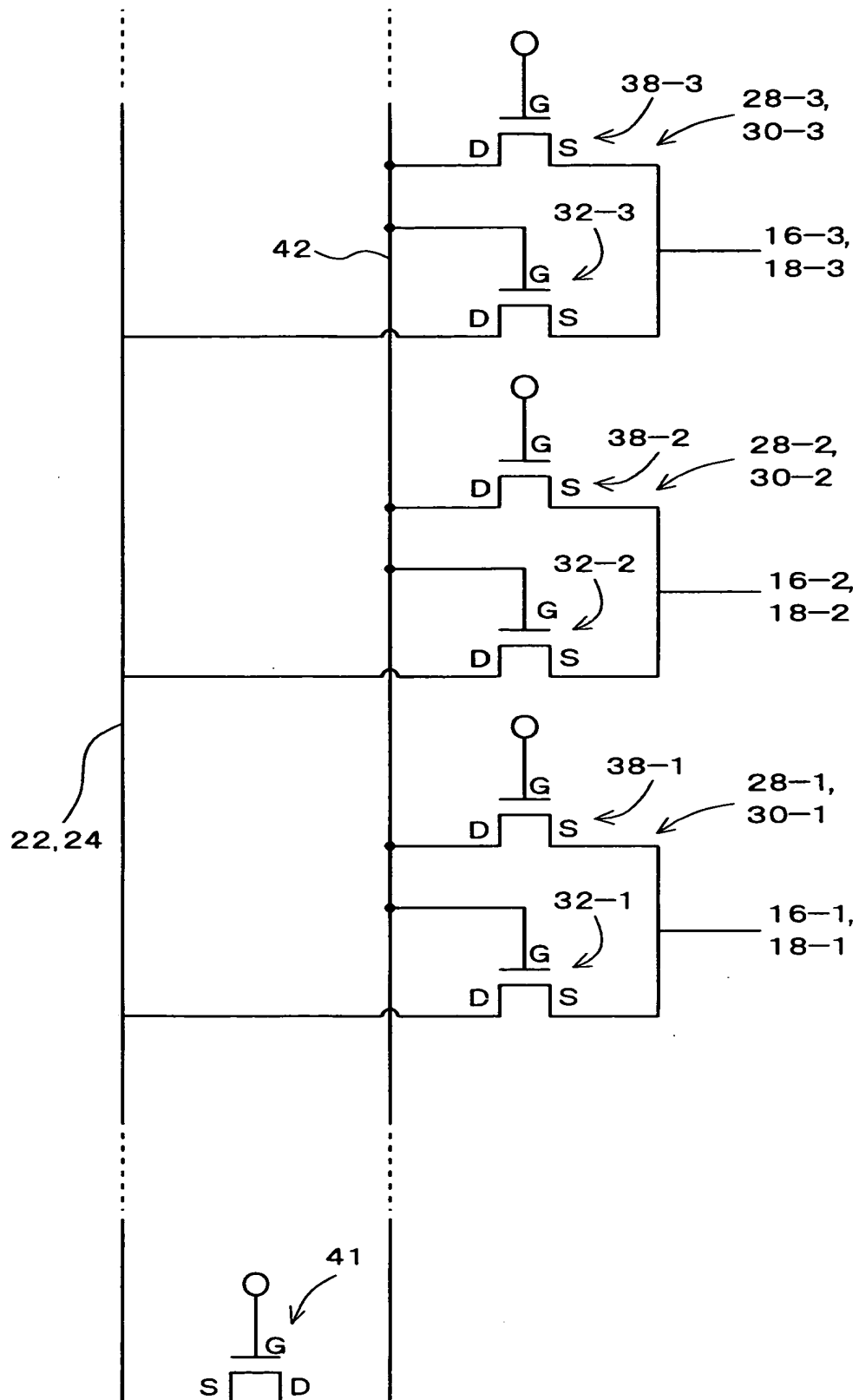
【図 1 4】



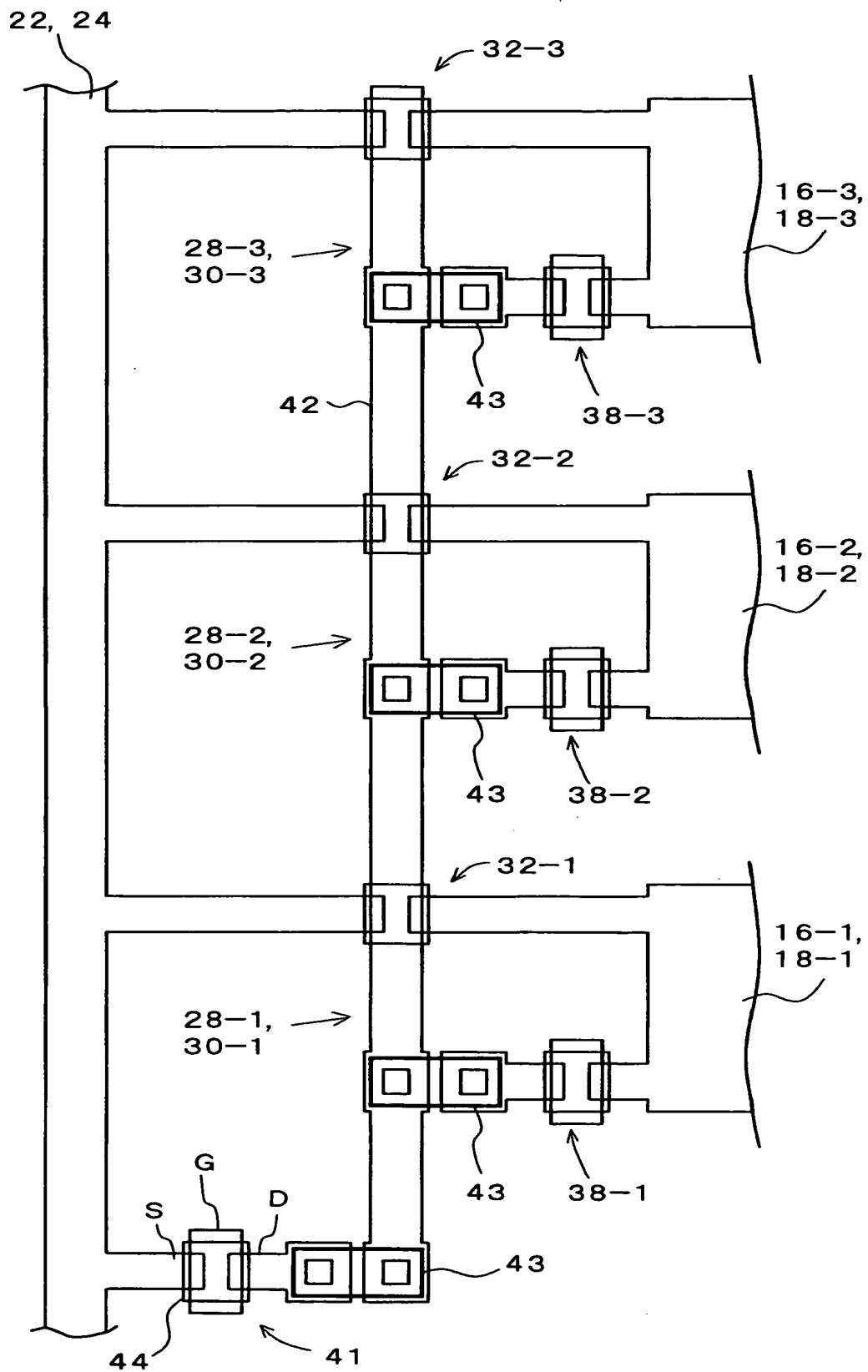
【図 1 5】



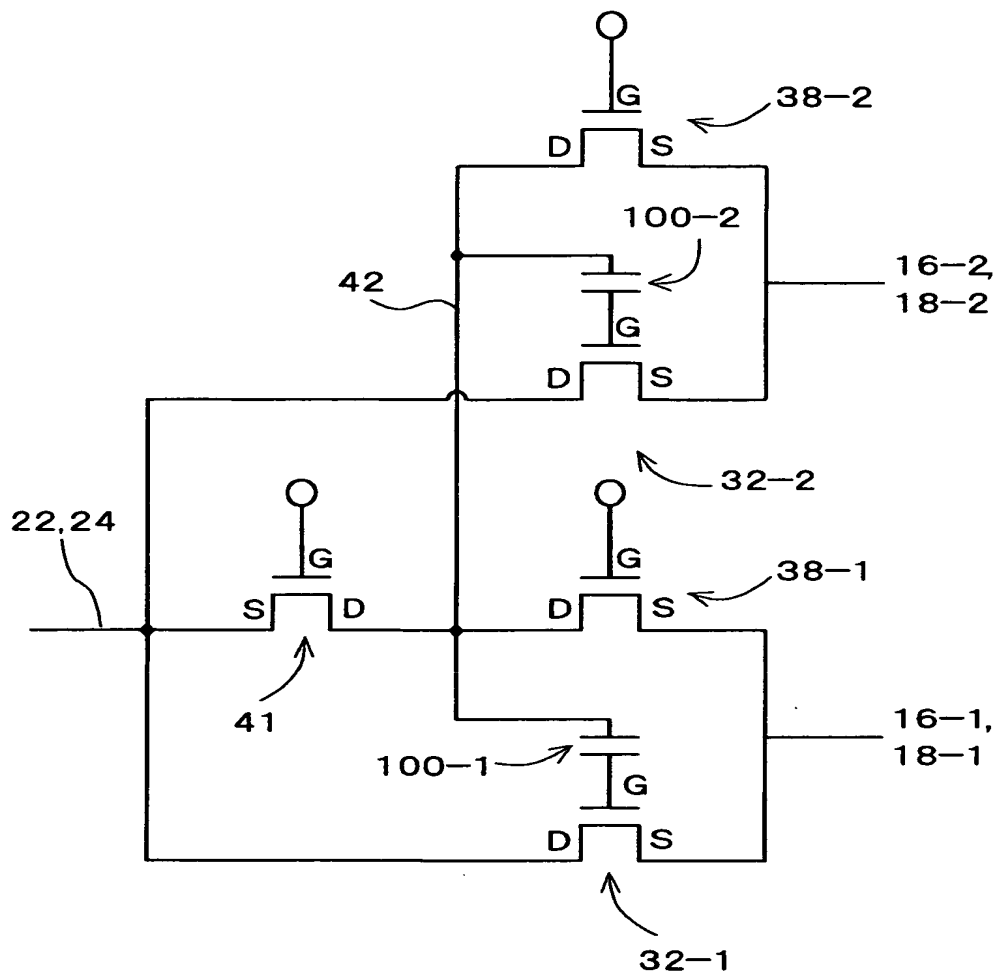
【図 1 6】



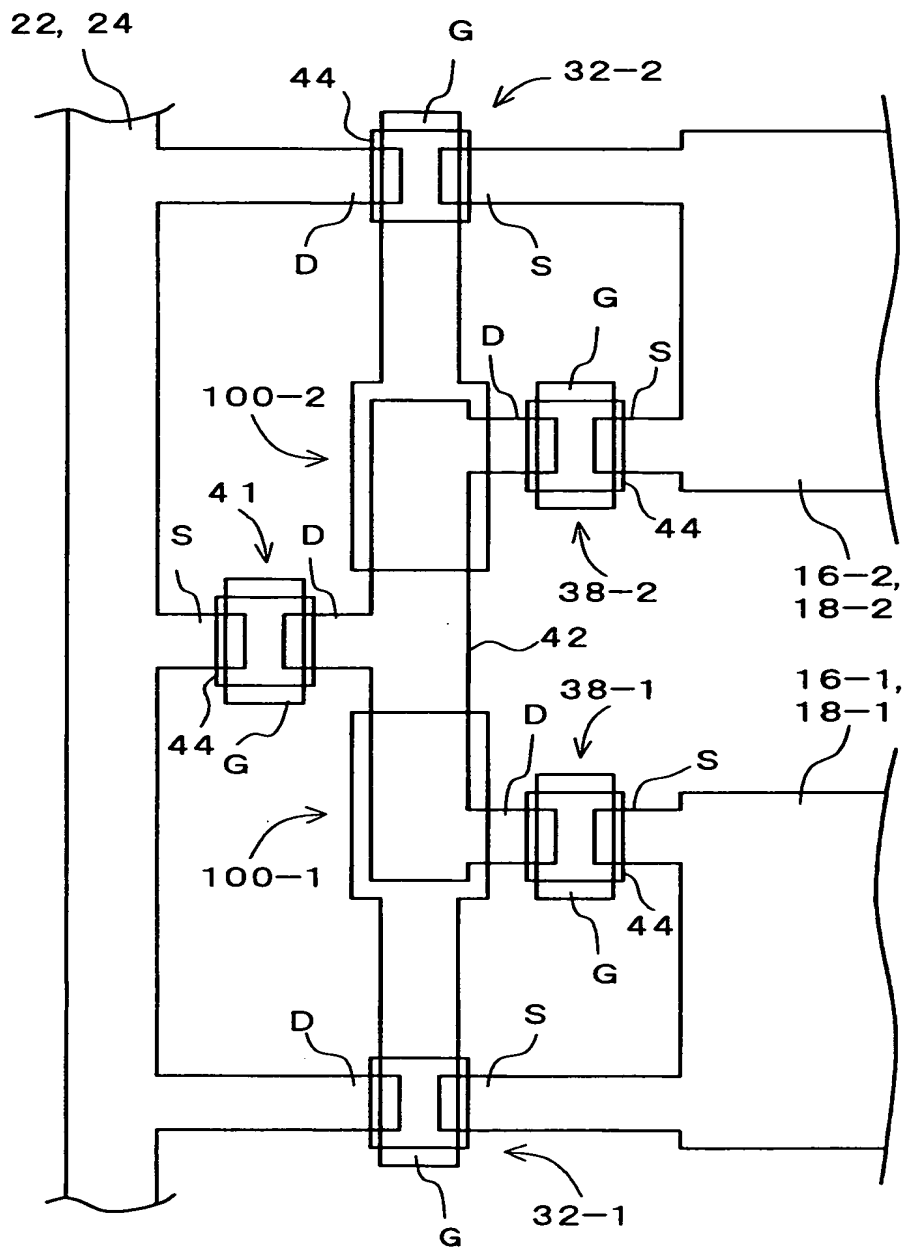
【図 1 7】



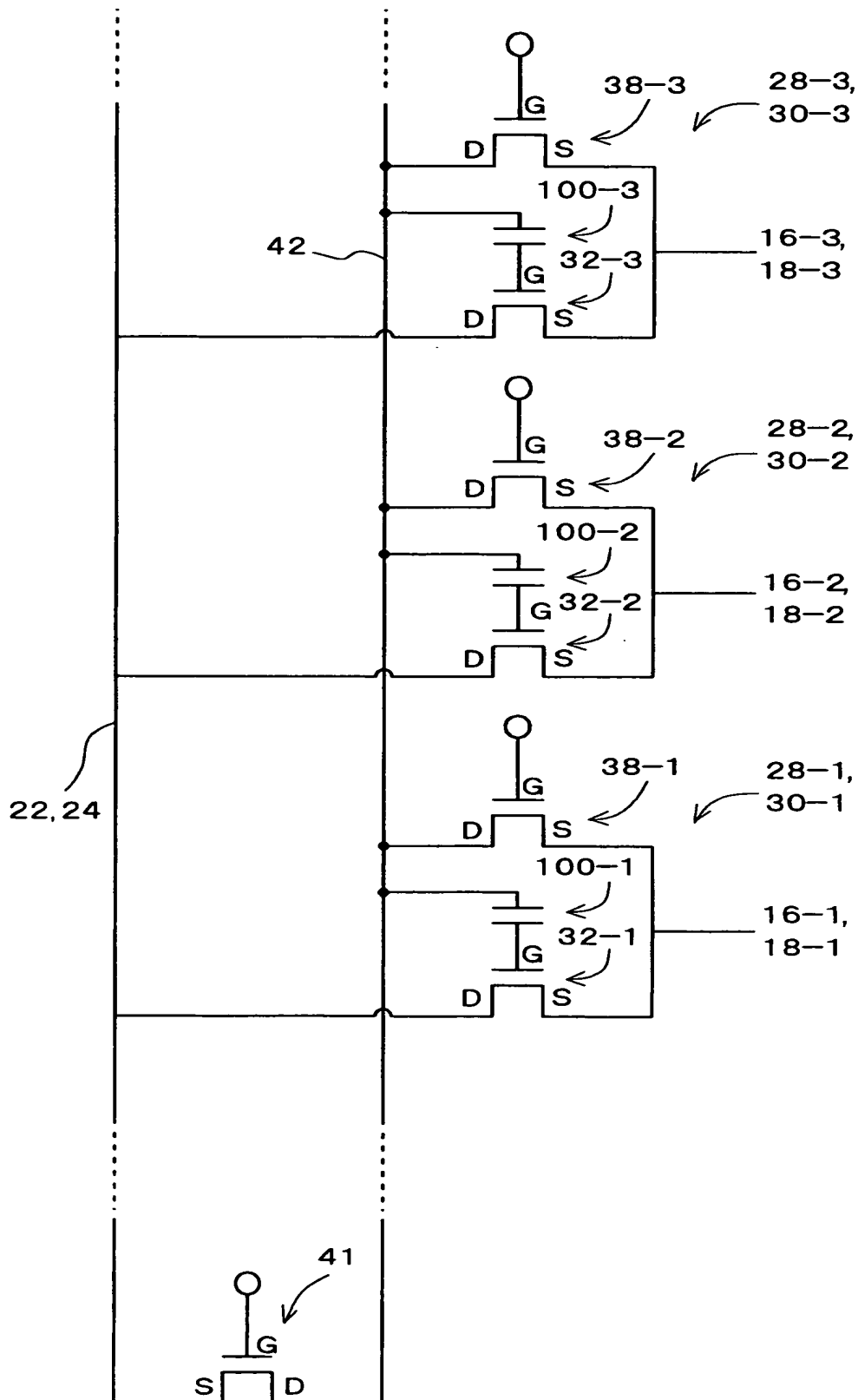
【図 1 8】



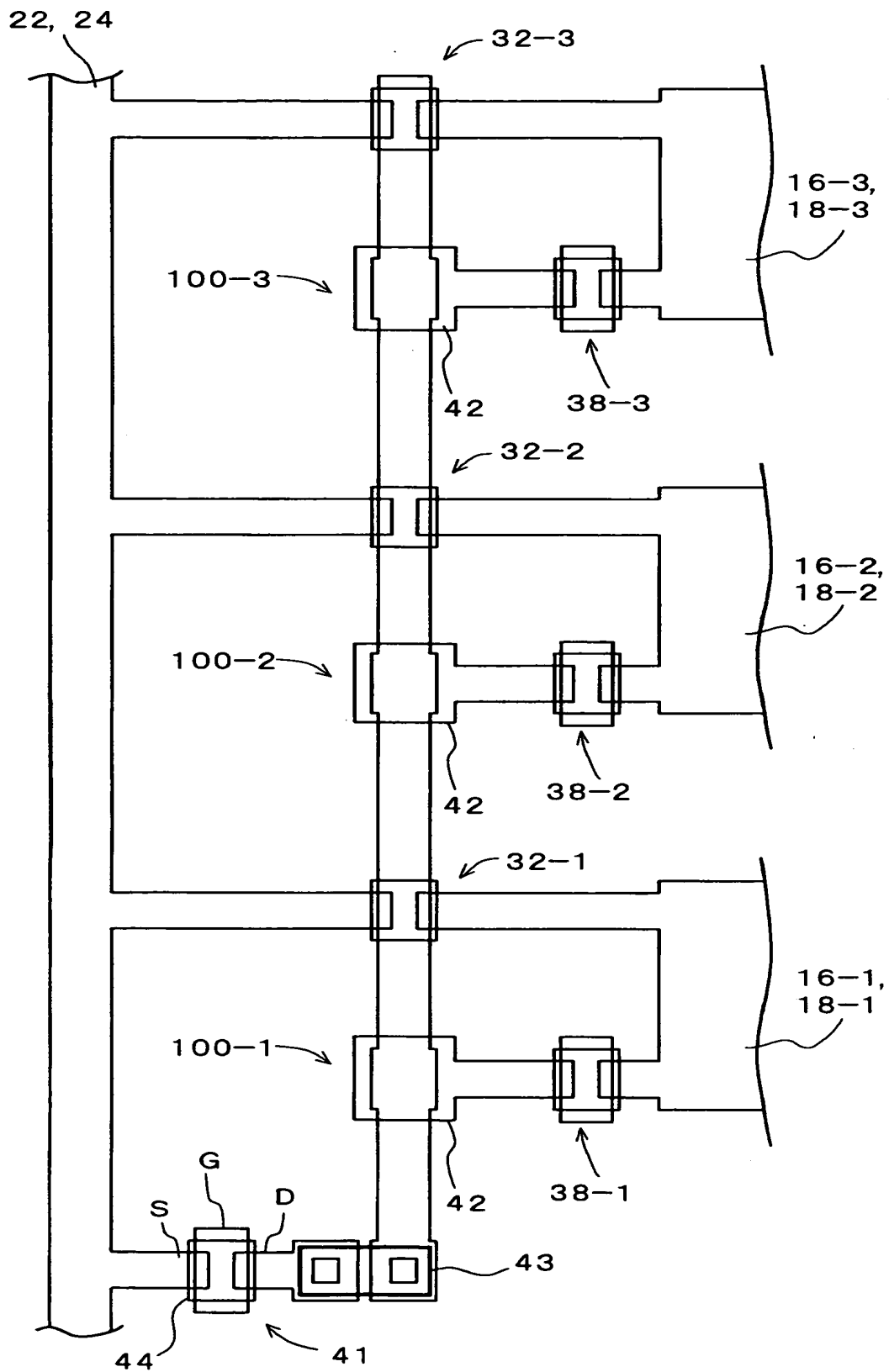
【図 1 9】



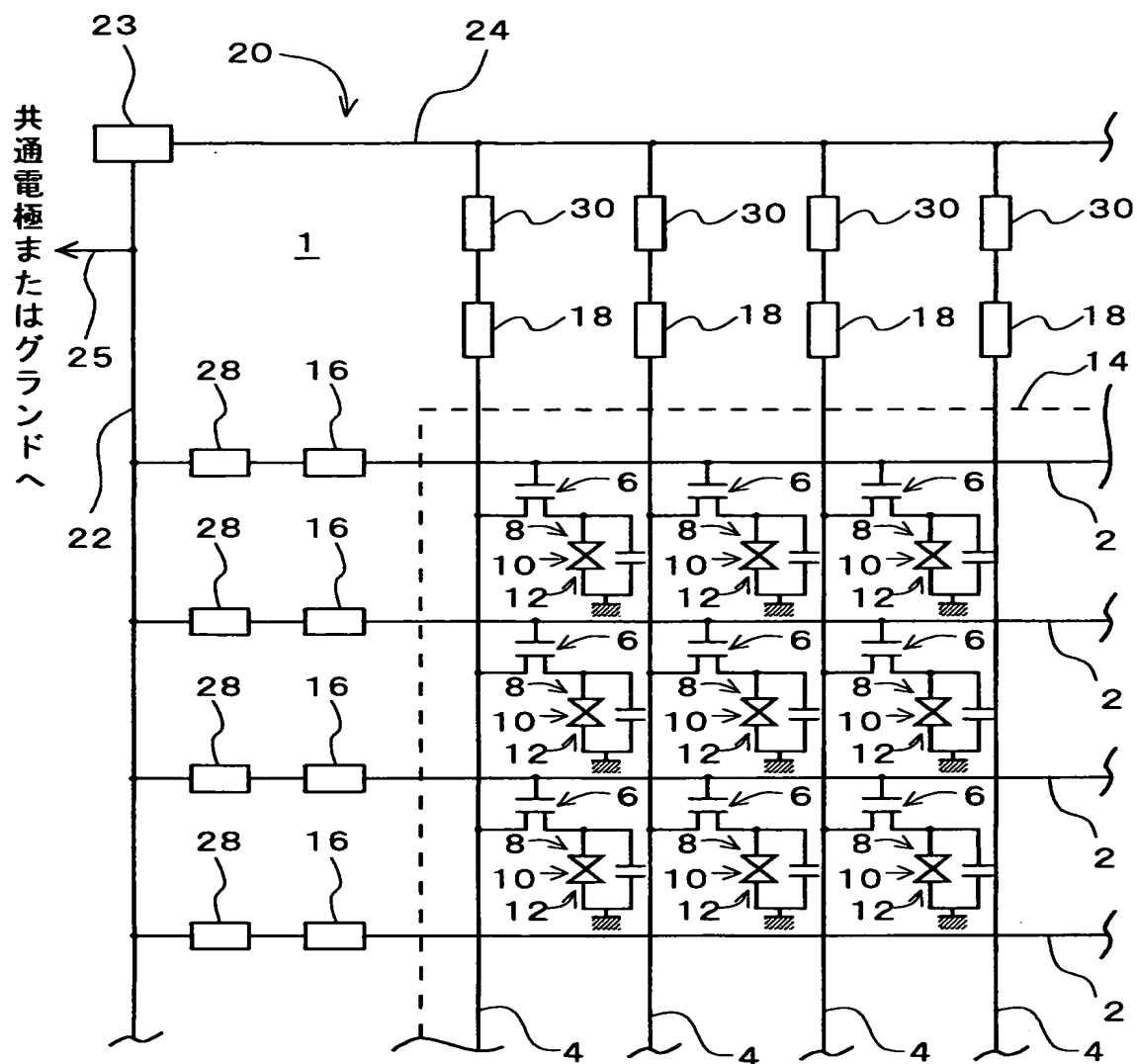
【図 2 0】



【図 2 1】

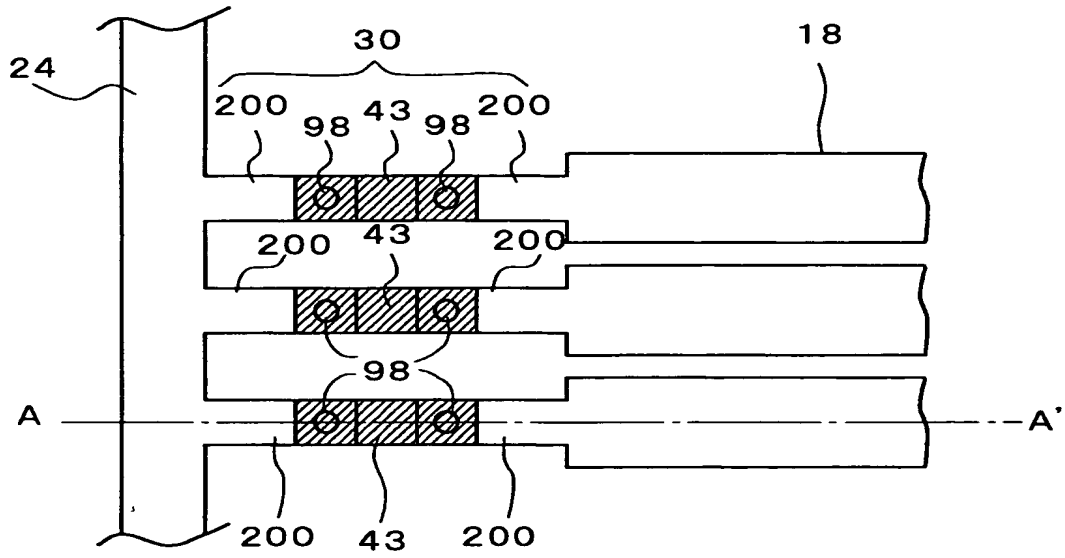


【圖 2 2】

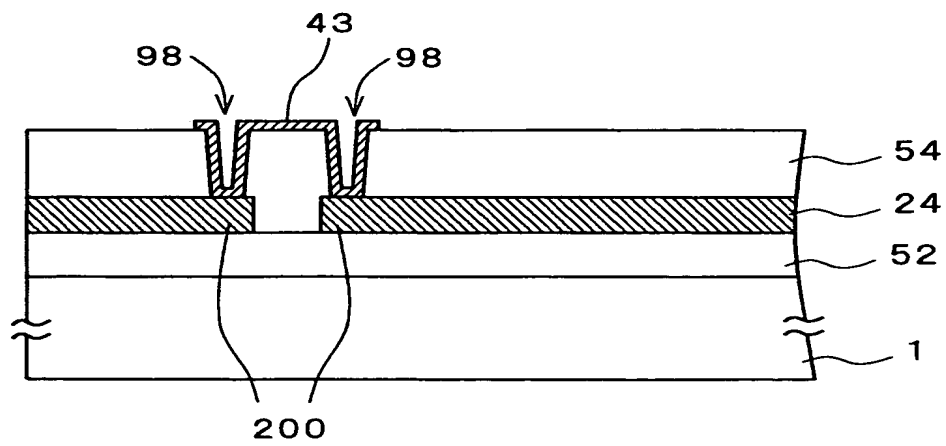


【図 2 3】

(a)

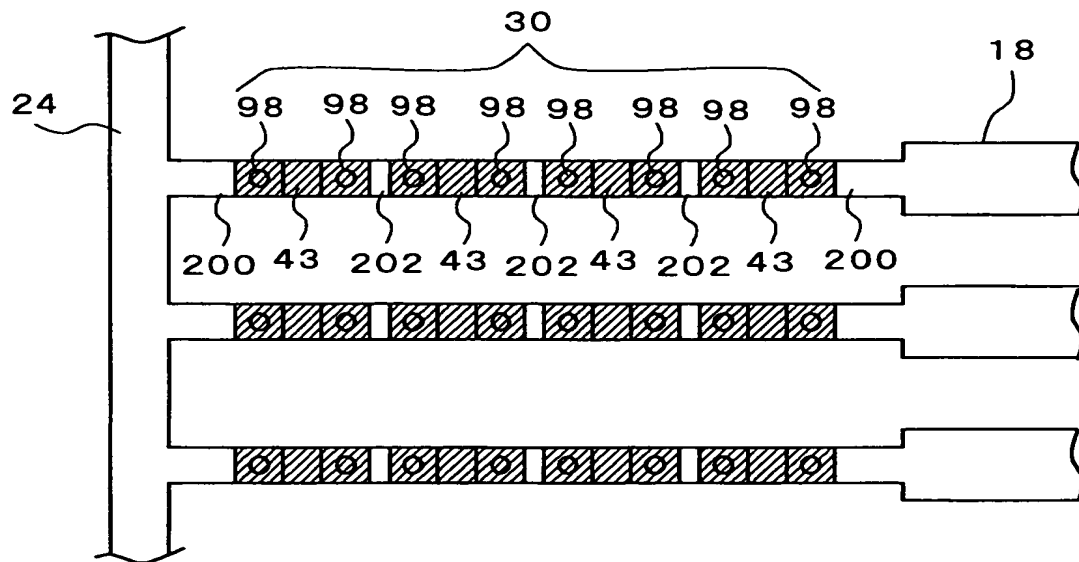


(b)

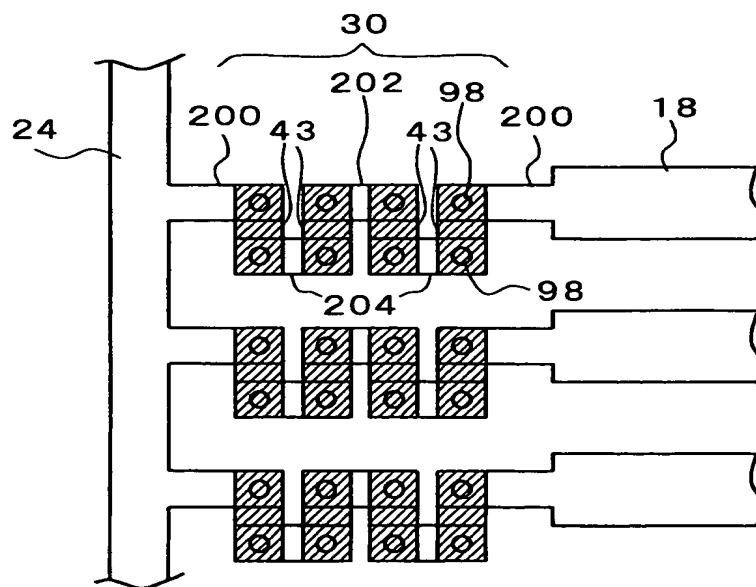


【図 2 4】

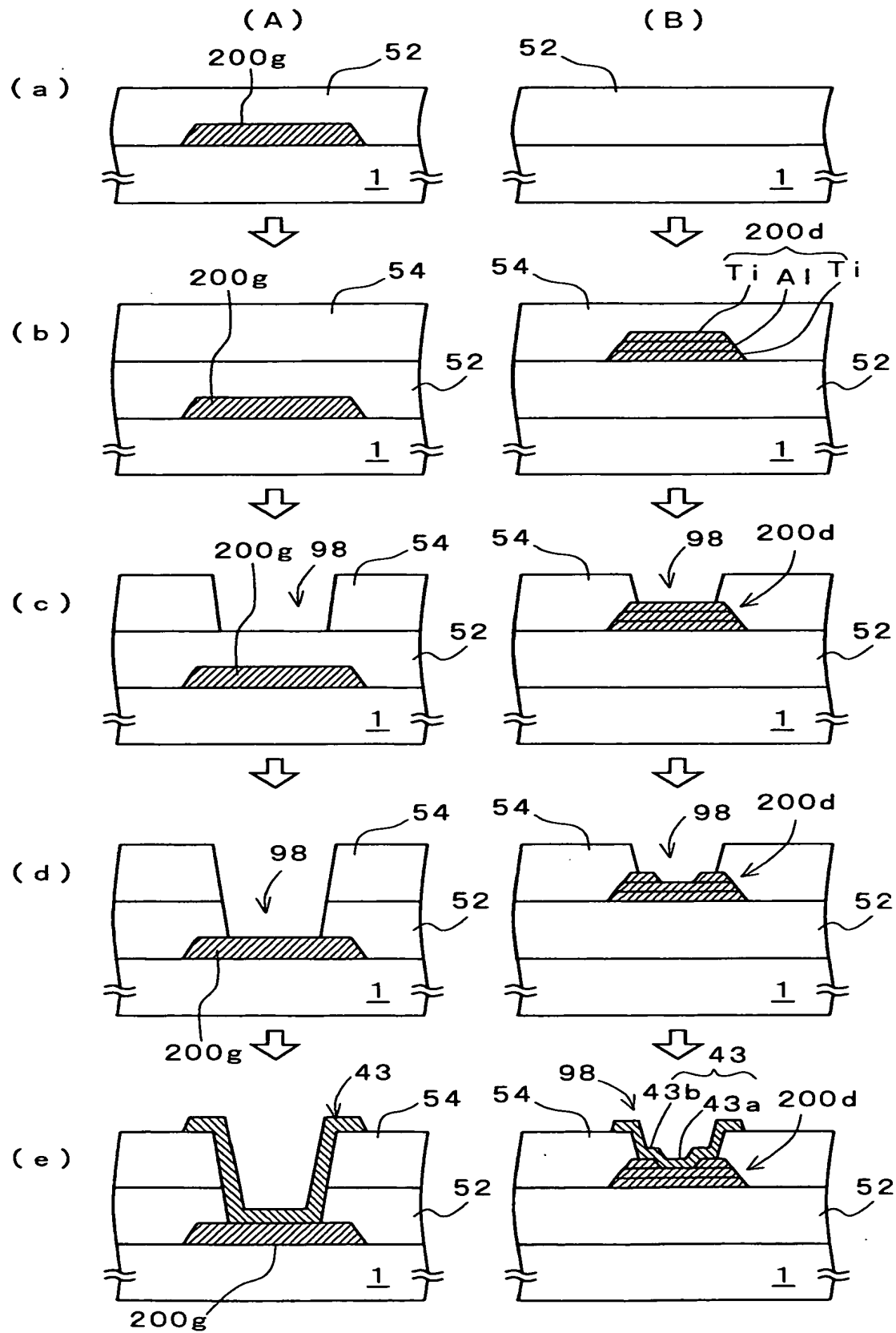
(a)



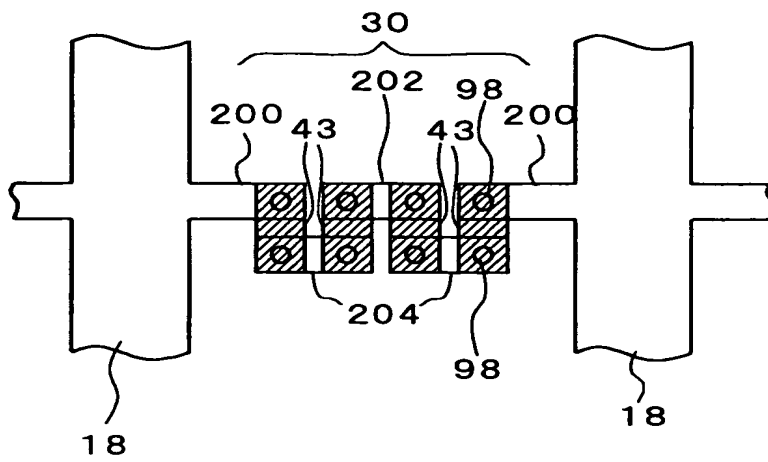
(b)



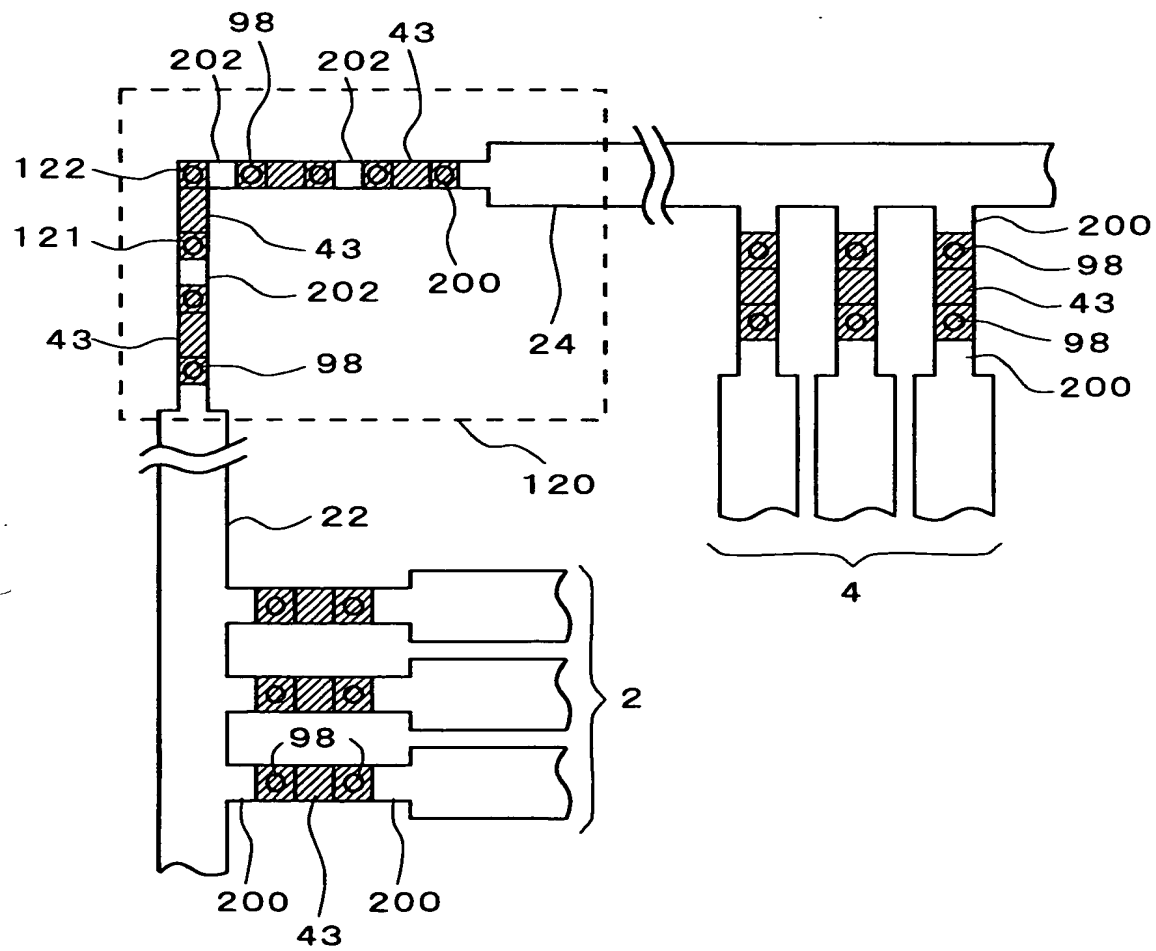
【図 2 5】



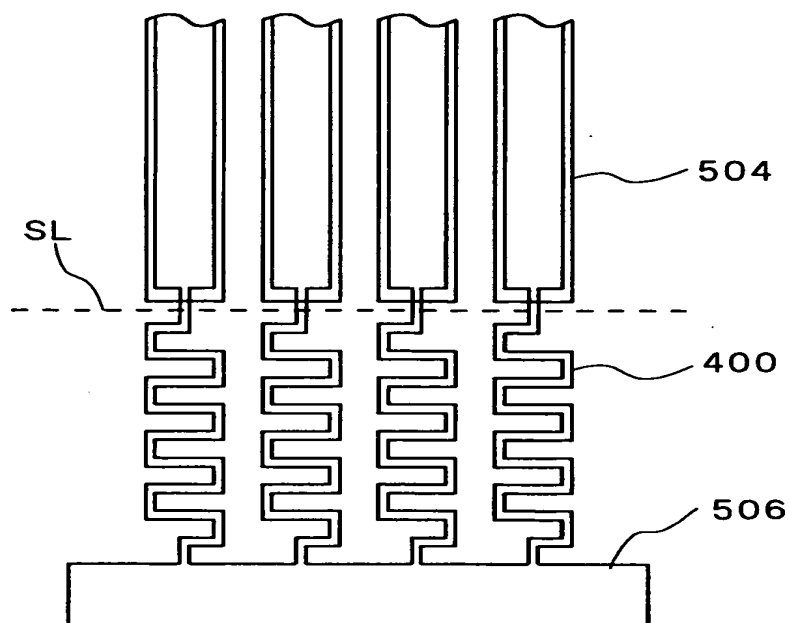
【図 2 6】



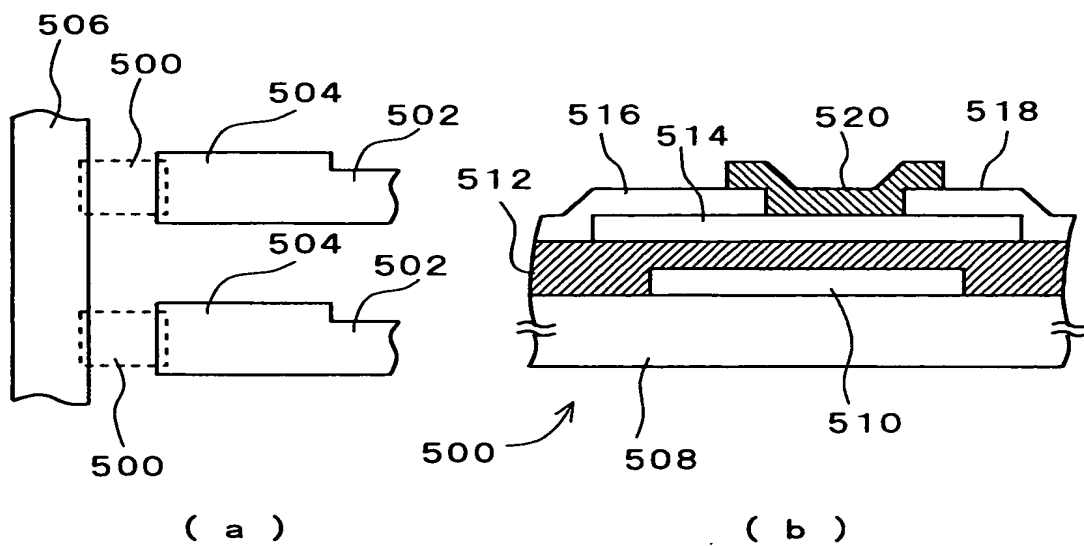
【図 2 7】



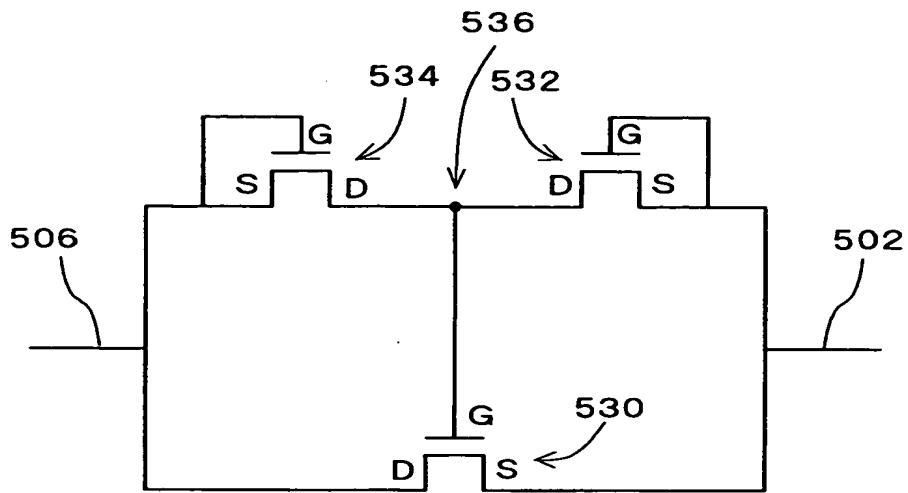
【図 2 8】



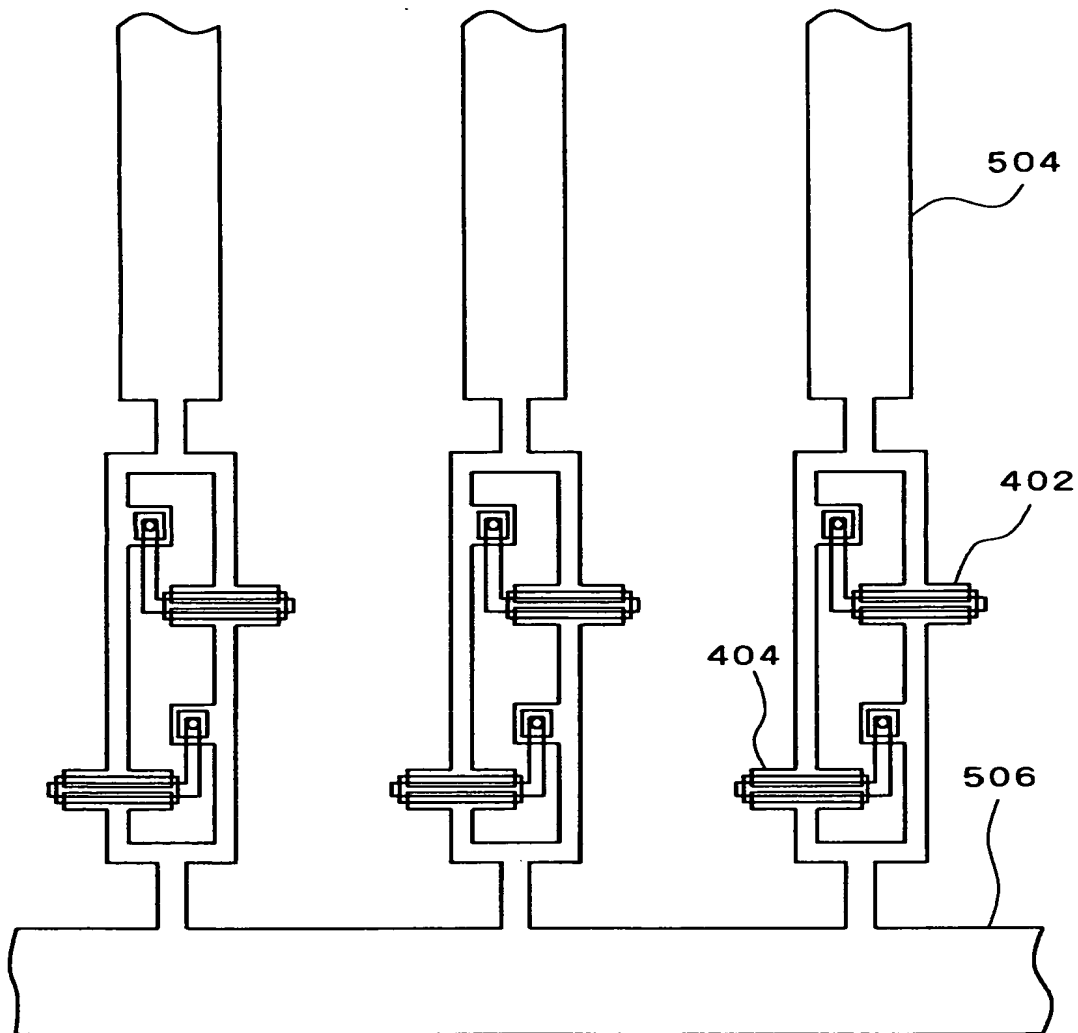
【図 2 9】



【図 3 0】



【図 3 1】



【書類名】 要約書

【要約】

【課題】本発明は、静電気保護素子を備えた液晶表示装置に関し、冗長性に優れ、比較的低い電圧が長時間発生する静電気に対しても十分な保護機能を備えた液晶表示装置を提供することを目的とする。

【解決手段】静電気保護素子部 2 8、3 0 は、外部取り出し電極 1 6、1 8 に接続されるソース電極（S）と共通線 2 2、2 4 に接続されるドレイン電極（D）とを有する第 1 の T F T 3 2 と第 1 の T F T 3 2 ゲート電極（G）に接続された導電体 4 2 と、外部取り出し電極 1 6、1 8 に接続されたソース電極（S）と導電体 4 2 に接続されたドレイン電極（D）と電氣的に孤立しているゲート電極（G）とを有する第 2 の T F T 3 8 と、共通線 2 2、2 4 に接続されたソース電極（S）と導電体 4 2 に接続されたドレイン電極（D）と電氣的に孤立しているゲート電極（G）とを有する第 3 の T F T 4 0 とを備えている。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社